

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re U.S. Patent Application of )  
)  
NAKAZAWA et al. )  
)  
Application Number: To be Assigned )  
)  
Filed: Concurrently Herewith )  
)  
For: A SEMICONDUCTOR DEVICE AND A METHOD OF )  
MANUFACTURING THE SAME )  
)  
ATTORNEY DOCKET NO. HITA.0544 )

Honorable Assistant Commissioner  
for Patents  
Washington, D.C. 20231

**REQUEST FOR PRIORITY  
UNDER 35 U.S.C. § 119  
AND THE INTERNATIONAL CONVENTION**

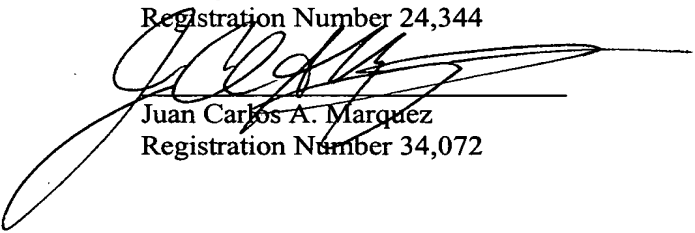
Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of June 26, 2003, the filing date of the corresponding Japanese patent application 2003-183153

A certified copy of Japanese patent application 2003-183153 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

\_\_\_\_\_  
Stanley P. Fisher  
Registration Number 24,344

  
\_\_\_\_\_  
Juan Carlos A. Marquez  
Registration Number 34,072

**REED SMITH LLP**  
3110 Fairview Park Drive  
Suite 1400  
Falls Church, Virginia 22042  
(703) 641-4200  
April 20, 2004

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 6月26日

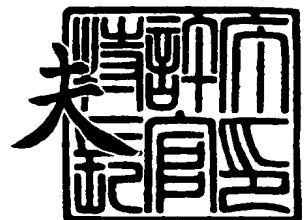
出願番号  
Application Number: 特願2003-183153  
[ST. 10/C]: [JP2003-183153]

出願人  
Applicant(s): 株式会社ルネサステクノロジ

2004年 4月 9日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



出証番号 出証特2004-3029514

【書類名】 特許願

【整理番号】 R03000281

【提出日】 平成15年 6月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ  
ステクノロジ内

【氏名】 中沢 芳人

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ  
ステクノロジ内

【氏名】 谷ッ田 雄司

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 主面および裏面を有し、第 1 領域、第 2 領域および第 3 領域を含み、前記主面に第 1 導電型の第 1 半導体層が形成された半導体基板と、

前記第 1 領域内の前記第 1 半導体層上に形成され、前記第 1 導電型とは逆の第 2 導電型の第 2 半導体層と、

前記第 1 領域の前記半導体基板の主面から前記第 2 半導体層を貫通する複数の第 1 溝部と、

前記第 1 溝部内に形成された第 1 絶縁膜と、

前記第 1 絶縁膜上に形成された第 1 導電体と、

前記第 1 溝部に隣接して前記第 2 半導体層内に形成され、前記第 1 導電型を有する第 3 半導体層と、

前記第 2 領域に形成された第 2 溝部と、

前記第 2 溝部内に形成された第 2 絶縁膜と、

前記第 2 絶縁膜上に形成され、前記第 1 導電体と電氣的に接続する第 2 導電体と、

前記第 3 領域内の前記第 1 半導体層上に形成され、前記第 2 導電型の複数の第 4 半導体層とを有する半導体装置であって、

前記第 2 溝部は、前記第 2 半導体層および前記第 4 半導体層に接し、

前記第 2 半導体層および前記第 4 半導体層は、第 1 不純物濃度および第 1 深さを有することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

前記第 1 半導体層をドレインとし、前記第 2 半導体層をチャネルとし、前記第 3 半導体層をソースとし、前記第 1 導電体をゲートとする MISFET を有することを特徴とする半導体装置。

【請求項 3】 請求項 2 記載の半導体装置において、

前記第 1 半導体層、前記第 3 半導体層および第 1 導電体は、それぞれドレイン電極、ソース電極およびゲート電極と電氣的に接続され、

前記第 2 半導体層と前記第 3 半導体層とは、前記ソース電極によって電氣的に接続されていることを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置において、

前記複数の第 4 半導体層は、平面で前記第 1 領域および前記第 2 領域を取り囲むフィールドリミッティングリングであることを特徴とする半導体装置。

【請求項 5】 請求項 3 記載の半導体装置において、

前記複数の第 4 半導体層は、前記ソース電極と前記ドレイン電極との間の耐圧の低下を防ぐことを特徴とする半導体装置。

【請求項 6】 請求項 3 記載の半導体装置において、

前記ドレインおよび前記チャンネルが逆バイアスされた時に、前記第 2 半導体層および前記第 4 半導体層のそれぞれから伸びる空乏層が接続することを特徴とする半導体装置。

【請求項 7】 請求項 3 記載の半導体装置において、

前記第 3 領域にて前記第 4 半導体層は第 3 導電体と電氣的に接続していることを特徴とする半導体装置。

【請求項 8】 請求項 3 記載の半導体装置において、

前記ドレインおよび前記チャンネルが逆バイアスされた時に、前記第 2 領域内の耐圧は、前記第 1 領域内の耐圧または前記第 3 領域内の耐圧のいずれか低い方に比べて高いかまたは等しいことを特徴とする半導体装置。

【請求項 9】 請求項 3 記載の半導体装置において、

前記ソース電極と前記ドレイン電極との間の耐圧は 100 V 以上であることを特徴とする半導体装置。

【請求項 10】 請求項 3 記載の半導体装置において、

前記第 2 領域内の前記第 2 導電体は、前記半導体基板の前記主面に平行な第 1 方向に延在し、

前記第 2 導電体は、前記半導体基板の前記主面に垂直な方向に延在する第 1 部分と、前記半導体基板の前記主面に平行かつ前記第 1 方向と交差する第 2 方向に延在する第 2 部分とを有し、

前記第 2 部分の前記第 2 方向に平行な幅は、前記第 1 半導体層の抵抗率を  $\rho$  (

$\Omega \cdot \text{cm}$ ) とすると  $3.80 + 0.148\rho$  ( $\mu\text{m}$ ) 以下であることを特徴とする半導体装置。

【請求項 11】 請求項 3 記載の半導体装置において、

前記第 2 領域内の前記第 2 導電体は、前記半導体基板の前記主面に平行な第 1 方向に延在し、

前記第 2 導電体は、前記半導体基板の前記主面に垂直な方向に延在する第 1 部分と、前記半導体基板の前記主面に平行かつ前記第 1 方向と交差する第 2 方向に延在する第 2 部分とを有し、

前記第 2 部分と前記半導体基板の前記主面との間には第 3 絶縁膜が形成され、  
前記第 3 絶縁膜の前記第 2 方向に平行な幅は、前記第 1 半導体層の抵抗率を  $\rho$  ( $\Omega \cdot \text{cm}$ ) とすると  $3.80 + 0.148\rho$  ( $\mu\text{m}$ ) 以下であることを特徴とする半導体装置。

【請求項 12】 請求項 3 記載の半導体装置において、

前記第 1 導電体は、前記半導体基板の主面に平行な第 2 方向に複数本延在していることを特徴とする半導体装置。

【請求項 13】 請求項 12 記載の半導体装置において、

前記第 1 導電体は、前記半導体基板の主面に平行かつ前記第 2 方向と交差する第 1 方向にも延在することを特徴とする半導体装置。

【請求項 14】 請求項 3 記載の半導体装置において、

前記第 1 導電体は、前記半導体基板の主面に平行かつ前記第 2 導電体の延在する方向と交差する方向に延在する第 3 部分と前記半導体基板の主面に平行かつ前記第 2 導電体の延在する方向に延在する第 4 部分とを有し、前記第 4 部分は前記第 2 導電体と前記第 3 半導体層との間に配置されていることを特徴とする半導体装置。

【請求項 15】 主面および裏面を有し、第 1 領域、第 2 領域および第 3 領域を含み、前記主面に第 1 導電型の第 1 半導体層が形成された半導体基板と、

前記第 1 領域内の前記第 1 半導体層上に形成され、前記第 1 導電型とは逆の第 2 導電型の第 2 半導体層と、

前記第 1 領域の前記半導体基板の主面から前記第 2 半導体層を貫通する複数の

第 1 溝部と、

前記第 1 溝部内に形成された第 1 絶縁膜と、

前記第 1 絶縁膜上に形成された第 1 導電体と、

前記第 1 溝部に隣接して前記第 2 半導体層内に形成され、前記第 1 導電性を有する第 3 半導体層と、

前記第 2 領域に形成された第 2 溝部と、

前記第 2 溝部内に形成された第 2 絶縁膜と、

前記第 2 絶縁膜上に形成され、前記第 1 導電体と電氣的に接続する第 2 導電体と、

前記第 3 領域内の前記第 1 半導体層上に形成され、前記第 2 導電性の複数の第 4 半導体層と、

前記第 1 領域にて、前記第 1 半導体層をドレインとし、前記第 2 半導体層をチャンネルとし、前記第 3 半導体層をソースとし、前記第 1 導電体をゲートとするトレンチゲート型 MISFET とを有する半導体装置であって、

前記第 2 導電体からなるゲート引出し部と、前記複数の第 4 半導体層からなり、平面で前記第 1 領域および前記第 2 領域を取り囲むフィールドリミッティングリングとを有し、

前記第 2 半導体層と前記複数の第 4 半導体層とが同一の工程で形成されていることを特徴とする半導体装置。

【請求項 16】 半導体基板の第 1 領域、第 2 領域および第 3 領域に、それぞれトレンチゲート型 MISFET、前記トレンチゲート型 MISFET のゲート引出し部およびフィールドリミッティングリングを有する半導体装置の製造方法であって、

- (a) 前記半導体基板の主面に第 1 導電性の第 1 半導体層を形成する工程、
- (b) 前記半導体基板の主面において、前記第 1 領域および前記第 2 領域にそれぞれ第 1 溝部および第 2 溝部を形成する工程、
- (c) 前記第 1 溝部内および前記第 2 溝部内に絶縁膜を形成する工程、
- (d) 前記絶縁膜上に導電体を形成する工程、
- (e) 前記 (d) 工程後、前記第 1 領域内の前記半導体基板に前記第 1 導電性と

は逆の第2導電型の不純物を導入して前記第1領域内の前記第1半導体層上に前記第2導電型の第2半導体層を形成し、前記第3領域内の前記半導体基板に前記第1導電型とは逆の前記第2導電型の不純物を導入して前記第3領域内の前記第1半導体層上に前記第2導電型の第4半導体層を形成する工程、

(f) 前記第2半導体層に前記第1導電型の不純物を導入し、前記第2半導体層に前記第1溝部と隣接する前記第1導電型の第3半導体層を形成する工程、  
を含み、前記第2半導体層は前記第1溝部が前記第2半導体層を貫通するように形成し、前記第1領域にて、前記第1半導体層をドレインとし、前記第2半導体層をチャンネルとし、前記第3半導体層をソースとし、前記第1領域における前記導電体をゲートとする前記トレンチゲート型MISFETを形成し、前記第4半導体層から平面で前記第1領域および前記第2領域を取り囲む前記フィールドリミットングリングを形成することを特徴とする半導体装置の製造方法。

【請求項17】 請求項16記載の半導体装置の製造方法において、前記第2領域における前記導電体は、前記第2溝部内における第1の幅と前記第2溝部外における第2の幅を有し、前記第2の幅が前記第1の幅より大きくなるように形成することを特徴とする半導体装置の製造方法。

【請求項18】 請求項16記載の半導体装置の製造方法において、前記第2半導体層および前記第4半導体層は、同一の工程で形成することを特徴とする半導体装置の製造方法。

【請求項19】 半導体基板の第1領域、第2領域および第3領域に、それぞれトレンチゲート型MISFET、前記トレンチゲート型MISFETのゲート引出し部およびフィールドリミットングリングを有する半導体装置の製造方法であって、

(a) 前記半導体基板の主面に第1導電型の第1半導体層を形成する工程、

(b) 前記第1領域内の前記半導体基板に前記第1導電型とは逆の第2導電型の不純物を導入して前記第1領域内の前記第1半導体層上に前記第2導電型の第2半導体層を形成し、前記第3領域内の前記半導体基板に前記第1導電型とは逆の前記第2導電型の不純物を導入して前記第3領域内の前記第1半導体層上に前記第2導電型の第4半導体層を形成する工程、



(c) 前記 (b) 工程後、前記半導体基板の主面において、前記第 1 領域および前記第 2 領域にそれぞれ第 1 溝部および第 2 溝部を形成する工程、  
(d) 前記第 1 溝部内および前記第 2 溝部内に絶縁膜を形成する工程、  
(e) 前記絶縁膜上に導電体を形成する工程、  
(f) 前記第 2 半導体層に前記第 1 導電型の不純物を導入し、前記第 2 半導体層に前記第 1 溝部と隣接する前記第 1 導電型の第 3 半導体層を形成する工程、  
を含み、前記第 1 溝部は前記第 2 半導体層を貫通するように形成し、前記第 1 領域にて、前記第 1 半導体層をドレインとし、前記第 2 半導体層をチャネルとし、前記第 3 半導体層をソースとし、前記第 1 領域における前記導電体をゲートとする前記トレンチゲート型 M I S F E T を形成し、前記第 4 半導体層から平面で前記第 1 領域および前記第 2 領域を取り囲む前記フィールドリミッティングリングを形成することを特徴とする半導体装置の製造方法。

【請求項 20】 請求項 19 記載の半導体装置の製造方法において、前記第 2 半導体層および前記第 4 半導体層は、同一の工程で形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、パワー M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) を有する半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】

たとえば、n 型の導電型の半導体基板の表面に網目状に積層して形成された p 型の導電型のウエル拡散層および n 型の導電型のソース拡散層と、これらの間の溝の絶縁膜に埋設されたゲートとを有するトレンチ構造の縦型 M O S トランジスタにおいて、ソース拡散層の中央下部に深い p 型拡散層を設けてドレインとソースとの間に電圧を印加した際に空乏層がトレンチ部を覆うようにし、チップ周辺部に p 型のガードリング部を配置することによってチップ表面付近の空乏層の伸

びを促進することによって、縦型MOSトランジスタの高耐圧化を図る技術がある（たとえば、特許文献1参照）。

【0003】

また、特開2001-168329号公報、特開2002-353452号公報、特開平10-173175号公報、特開平8-204194号公報、特開平6-204483号公報、特開平10-56174号公報および特開2002-231944号公報には、トレンチゲート型MOSトランジスタの構造が開示されている（特許文献2、3、4、5、6、7、8参照）。

【0004】

【特許文献1】

特開平6-151867号公報

【0005】

【特許文献2】

特開2001-168329号公報

【0006】

【特許文献3】

特開2002-353452号公報

【0007】

【特許文献4】

特開平10-173175号公報

【0008】

【特許文献5】

特開平8-204194号公報

【0009】

【特許文献6】

特開平6-204483号公報

【0010】

【特許文献7】

特開平10-56174号公報

【0011】

【特許文献 8】

特開 2002-231944 号公報

【0012】

【発明が解決しようとする課題】

数ワット以上の電力を扱える大電力用途のトランジスタをパワートランジスタといい、種々の構造のものが検討されている。中でもパワー M I S F E T においては、いわゆる縦型や横型と呼ばれるものがあり、さらにゲート部の構造に応じてトレンチ（溝）ゲート型やプレーナゲート型といった構造に分類される。このようなパワー M I S F E T においては、大きな電力を得るために、たとえば微細なパターンの M I S F E T を多数個（たとえば数万個）並列に接続した構造が採用されている。

【0013】

本発明者らは、上記のようなパワー M I S F E T において、十分な耐圧の確保を可能とするための技術について検討している。その一例は、以下の通りである。

【0014】

すなわち、トレンチゲート型パワー M I S F E T においては、半導体基板（以下、単に基板という）の主面にパワー M I S F E T のチャネルとして用いる半導体層（以下、チャネル層という）が形成される。また、このチャネル層より深い半導体層（以下、ウエル層という）を形成し、このウエル層で上記ゲート部のうちのゲート引出し部が形成された溝を覆う。このゲート引出し部においては、そのウエル層が形成されていないと、特に溝の底部周辺の領域の電界が強くなってアバランシェ電流がその領域に集中して流れ、ゲート引出し部における耐圧の低下が懸念される。そのため、そのウエル層を形成することによって、ゲート引出し部における耐圧の低下を防いでいるのである。なお、上記特許文献 1 で開示されている技術においては、このような考慮がなされていない。さらに、半導体チップ（以下、単にチップという）の周辺部を取り囲むターミネーション領域にもそのウエル層を形成し、フィールドリミッティングリング（Field Limiting Rin

g; FLR) としている。このようなフィールドリミッティングリングを含むウエル層を形成することによってパワーMISFETの高耐圧化を実現している。

【0015】

しかしながら、上記のチャネル層およびウエル層を形成するためには、2種類の半導体層を形成する必要があることから、パワーMISFETの高耐圧化を実現するためには製造工程数が増加してしまう課題がある。そのため、パワーMISFETを有する半導体装置の工期が延びてしまうという課題もある。

【0016】

本発明の目的は、製造工程数を増加することなくパワーMISFETの高耐圧化を実現できる技術を提供することにある。

【0017】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0018】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0019】

すなわち、本発明は、

(a) 主面および裏面を有し、第1領域、第2領域および第3領域を含み、前記主面に第1導電型の第1半導体層が形成された半導体基板と、

(b) 前記第1領域内の前記第1半導体層上に形成され、前記第1導電型とは逆の第2導電型の第2半導体層と、

(c) 前記第1領域の前記半導体基板の主面から前記第2半導体層を貫通する複数の第1溝部と、

(d) 前記第1溝部内に形成された第1絶縁膜と、

(e) 前記第1絶縁膜上に形成された第1導電体と、

(f) 前記第1溝部に隣接して前記第2半導体層内に形成され、前記第1導電型を有する第3半導体層と、

- (g) 前記第2領域に形成された第2溝部と、
- (h) 前記第2溝部内に形成された第2絶縁膜と、
- (i) 前記第2絶縁膜上に形成され、前記第1導電体と電氣的に接続する第2導電体と、
- (j) 前記第3領域内の前記第1半導体層上に形成され、前記第2導電型の複数の第4半導体層とを有し、前記第2溝部は、前記第2半導体層および前記第4半導体層に接し、前記第2半導体層および前記第4半導体層は、第1不純物濃度および第1深さを有する。

【0020】

また、本発明は、半導体基板の第1領域、第2領域および第3領域に、それぞれトレンチゲート型MISFET、前記トレンチゲート型MISFETのゲート引出し部およびフィールドリミットングリングを有する半導体装置の製造方法であり、

- (a) 前記半導体基板の主面に第1導電型の第1半導体層を形成する工程と、
- (b) 前記半導体基板の主面において、前記第1領域および前記第2領域にそれぞれ第1溝部および第2溝部を形成する工程と、
- (c) 前記第1溝部内および前記第2溝部内に絶縁膜を形成する工程と、
- (d) 前記絶縁膜上に導電体を形成する工程と、
- (e) 前記(d)工程後、前記第1領域内の前記半導体基板に前記第1導電型とは逆の第2導電型の不純物を導入して前記第1領域内の前記第1半導体層上に前記第2導電型の第2半導体層を形成し、前記第3領域内の前記半導体基板に前記第1導電型とは逆の前記第2導電型の不純物を導入して前記第3領域内の前記第1半導体層上に前記第2導電型の第4半導体層を形成する工程と、
- (f) 前記第2半導体層に前記第1導電型の不純物を導入し、前記第2半導体層に前記第1溝部と隣接する前記第1導電型の第3半導体層を形成する工程とを含み、前記第2半導体層は前記第1溝部が前記第2半導体層を貫通するように形成し、前記第1領域にて、前記第1半導体層をドレインとし、前記第2半導体層をチャンネルとし、前記第3半導体層をソースとし、前記第1領域における前記導電体をゲートとする前記トレンチゲート型MISFETを形成し、前記第4半導体

層から平面で前記第1領域および前記第2領域を取り囲む前記フィールドリミッティングリングを形成するものである。

#### 【0021】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態の説明に用いる図においては、部材の位置関係をわかりやすくするために平面図であってもハッチングを付す場合がある。

#### 【0022】

##### (実施の形態1)

本実施の形態1の半導体装置は、たとえばnチャネル型のトレンチゲート型パワーMISFETを有するものである。このような本実施の形態1の半導体装置の製造方法を図1～図12を用いて工程順に説明する。

#### 【0023】

まず、図1に示すように、n型(第1導電型)の導電性を有するn<sup>+</sup>型単結晶シリコン基板1Aの表面(主面)に、n型の導電性を有する不純物(たとえば、リン)がドーピングされたn<sup>-</sup>型単結晶シリコン層(第1半導体層)1Bをエピタキシャル成長させた半導体基板(以下、単に基板という)を準備する。この基板は、後の工程でパワーMISFETの活性セルが形成される活性セル領域(第1領域)ACA、不活性セルが形成される不活性セル領域(第1領域)NCA、パワーMISFETのゲート電極と電氣的に接続する配線が形成されるゲート配線領域(第2領域)GLAおよびフィールドリミッティングリングが形成されるターミネーション領域(第3領域)FLRを有している。n<sup>+</sup>型単結晶シリコン基板1Aおよびn<sup>-</sup>型単結晶シリコン層1Bは、後の工程でパワーMISFETのドレイン領域となる。続いて、たとえばn<sup>-</sup>型単結晶シリコン層1Bの表面(主面)を熱酸化することによって酸化シリコン膜3を形成する。

#### 【0024】

次に、図2に示すように、フォトリソグラフィ技術を用いてパターンニングされ

たフォトレジスト膜をマスクとして酸化シリコン膜 3 および n-型単結晶シリコン層 1 B をエッチングし、活性セル領域 A C A および不活性セル領域 N C A に溝（第 1 溝部）4 を形成し、ゲート配線領域 G L A に溝（第 2 溝部）5 を形成する。続いて、基板に熱酸化処理を施すことにより、溝 4、5 の側壁および底部に酸化シリコン膜（第 1 絶縁膜、第 2 絶縁膜）6 を形成する。この酸化シリコン膜 6 は、パワー M I S F E T のゲート絶縁膜となる。

#### 【0025】

次に、図 3 に示すように、たとえば P（リン）がドーピングされた多結晶シリコン膜を溝 4、5 の内部を含む酸化シリコン膜 3 上に堆積し、その多結晶シリコン膜で溝 4、5 を埋め込む。続いて、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜をマスクとして多結晶シリコン膜をエッチングし、多結晶シリコン膜を溝 4、5 内に残すことによって、溝 4 内にパワー M I S F E T のゲート電極（第 1 導電体）7 を形成し、溝 5 内にゲート引き出し電極（第 2 導電体、ゲート引き出し部）8 を形成する。この時、ゲート引き出し電極 8 を形成する多結晶シリコン膜の一部が溝 5 の外部に残るようにパターンニングを行う。それにより、ゲート引き出し電極 8 は、図 3 においては紙面に垂直な方向（第 1 方向）に延在し、溝 5 外における部分（第 1 部分）の幅（第 2 の幅）が溝 5 内における部分（第 2 部分）の幅（第 1 の幅）より大きくなる。

#### 【0026】

次に、図 4 に示すように、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜をマスクとして酸化シリコン膜 3 をエッチングし、不要な酸化シリコン膜 3 を除去することによって、残った酸化シリコン膜 3 からフィールド絶縁膜（第 3 絶縁膜）3 A を形成する。この時、ゲート配線領域 G L A においては、ゲート引き出し電極 8 の溝 5 外における部分（第 1 部分）をマスクにし、そのゲート引き出し電極 8 の溝 5 外における部分に対して自己整合的に酸化シリコン膜 3 をエッチングしてもよい。

#### 【0027】

次に、図 5 に示すように、n-型単結晶シリコン層 1 B の表面に酸化シリコン膜 9 を堆積する。続いて、フォトリソグラフィ技術によりパターンニングされたフ

フォトレジスト膜をマスクとして p 型（第 2 導電型）の導電型を有する不純物イオン（たとえば B（ホウ素））を所定の濃度（第 1 不純物濃度）で n 型単結晶シリコン層 1 B に導入する。次いで、基板に熱処理を施すことによってその不純物イオンを拡散させ、活性セル領域 A C A に p 型半導体領域（第 2 半導体層）1 0 を形成し、ターミネーション領域 F L R に p 型フィールドリミットリング（第 4 半導体層）1 1 を形成する。その p 型半導体領域 1 0 は、パワー M I S F E T 形成後においてパワー M I S F E T のチャネル層となる。その p 型フィールドリミットリング 1 1 は、平面において、複数のリング状で活性セル領域 A C A および不活性セル領域 N C A を取り囲む領域に形成される。また、p 型半導体領域 1 0 および p 型フィールドリミットリング 1 1 は、端部がゲート引き出し電極 8 の形成された溝 5 の側壁に達し、溝 4、5 の底部に達しない深さ（第 1 深さ）で形成するようにする。なお、フィールドリミットリングは、たとえば半導体用語大辞典編集委員会編集「半導体用語大辞典」、株式会社日刊工業新聞社発行、1999 年 3 月 20 日、p. 938 に記載されているように、個別素子や I C のプレーナ接合をリング状の接合で取り囲み、プレーナ接合のコーナー部の電界を緩和して高耐圧を実現するものである。

#### 【0028】

次に、図 6 に示すように、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜をマスクとして n 型の導電型を有する不純物イオン（たとえば A s（ヒ素））を基板に導入する。続いて、基板に熱処理を施すことによってその不純物イオンを拡散させ、活性セル領域 A C A の p 型半導体領域 1 0 内に n<sup>+</sup>型半導体領域（第 3 半導体層）1 2 を形成し、ターミネーション領域 F L R の n 型単結晶シリコン層 1 B に n<sup>+</sup>型ガードリング領域 1 3 を形成する。ここまでの工程により、n<sup>+</sup>型単結晶シリコン基板 1 A および n 型単結晶シリコン層 1 B をドレイン領域とし、n<sup>+</sup>型半導体領域 1 2 をソース領域とするパワー M I S F E T を形成することができる。また、n<sup>+</sup>型ガードリング領域 1 3 は、基板を個々の半導体チップ（以下、単にチップという）へと分割した時に、平面において p 型フィールドリミットリング 1 1 を取り囲むように形成され、パワー M I S F E T 素子を保護する機能を有する。



## 【0029】

次に、図7に示すように、たとえば基板上にPSG (Phospho Silicate Glass) 膜を堆積した後、そのPSG膜上にSOG (Spin On Glass) 膜を塗布することにより、そのPSG膜およびSOG膜からなる絶縁膜14を形成する。続いて、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜をマスクとして絶縁膜14およびn-型単結晶シリコン層1Bをエッチングし、コンタクト溝15、16、17、18、19を形成する。コンタクト溝15は、活性セル領域ACAにおいて、隣接するゲート電極7間に形成され、パワーMISFETのソース領域となるn+型半導体領域12と接する。コンタクト溝16は、不活性セル領域NCAにおいて隣接するゲート電極7とゲート引き出し電極8との間に形成され、p-型半導体領域10と接する。コンタクト溝17は、ターミネーション領域FLRにおいて形成され、p-型フィールドリミッティングリング11と接する。コンタクト溝18は、ターミネーション領域FLRにおいて形成され、n+型ガードリング領域13と接する。コンタクト溝19は、ゲート配線領域GLAにおいて形成され、ゲート引き出し電極8に達する。

## 【0030】

次に、図8に示すように、コンタクト溝15、16、17、18の底部にp型の導電性を有する不純物イオンとして、たとえばBF<sub>2</sub> (二フッ化ホウ素) を導入する。続いて、基板に熱処理を施すことによってその不純物イオンを拡散させ、p+型半導体領域20を形成する。このように、コンタクト溝15、16、17、18を形成し、その底部にp+型半導体領域20を設けることによって、たとえばマスク合わせ余裕を低減できるので、隣接するゲート電極7間の微細化を図ることができる。このp+型半導体領域20は、後の工程で形成される配線をコンタクト溝15、16、17、18の底部にてp-型半導体領域10またはp-型フィールドリミッティングリング11とオーミック接触させるためのものである。

## 【0031】

次に、図9に示すように、コンタクト溝15、16、17、18、19内部を含む絶縁膜14の上部に、バリア導体膜として、たとえばスパッタリング法でT

i W (チタタンングステン) 膜を薄く堆積した後、基板に熱処理を施す。続いて、その T i W 膜上に、たとえばスパッタリング法にて A l (アルミニウム) 膜を堆積する。バリア導体膜は、A l と基板 (S i) とが接触することにより不所望な反応層が形成されることを防止する役割を果たす。なお、本実施の形態 1 において、A l 膜は、A l を主成分とする膜を意味し、他の金属等を含有していてもよい。

#### 【0032】

続いて、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜をマスクとしてその T i W 膜および A l 膜をエッチングすることにより、ゲート引き出し電極 8 と電氣的に接続するゲート配線 2 1、パワー M I S F E T のソース領域となる n<sup>+</sup>型半導体領域 1 2 と電氣的に接続するソースパッド (ソース電極) 2 2、p<sup>-</sup>型フィールドリミッティングリング 1 1 の 1 本と電氣的に接続し、図 9 では図示しない領域でソースパッド 2 2 と電氣的に接続する配線 2 3、配線 2 3 が電氣的に接続する p<sup>-</sup>型フィールドリミッティングリング 1 1 とは異なる p<sup>-</sup>型フィールドリミッティングリング 1 1 と電氣的に接続する配線 (第 3 導電体) 2 4、n<sup>+</sup>型ガードリング領域 1 3 と電氣的に接続する配線 2 5、およびゲート配線 2 1 と電氣的に接続するゲートパッド (ゲート電極) を形成する。なお、そのゲートパッドは、図 9 では図示されない領域に形成される。

#### 【0033】

ここで、上記ゲート配線 2 1、ソースパッド 2 2、配線 2 3、2 4、2 5、およびゲートパッドが形成された時の平面図を図示すると図 10～図 12 のようになる。図 10 は、後の工程で基板を個々のチップへ分割した時のチップ 1 個分に相当するチップ領域 C H P を示したものであり、図 11 および図 12 は、図 10 中に示した A-A 線付近を拡大して示したものである。また、図 11 および図 12 は、同じ領域の平面図であるが、各部材の位置関係をわかりやすくするために、両方の図に図示された部材と一方の図にのみ図示された部材とがある。なお、上記図 1～図 9 で示した断面は、その A-A 線における断面を示したものである。

#### 【0034】

図10～図12に示すように、チップ領域CHP（平面）において、活性セル領域ACA、不活性セル領域NCA、ゲート配線領域GLAおよびターミネーション領域FLRは、不活性セル領域NCAが活性セル領域ACAを取り囲み、ゲート配線領域GLAが不活性セル領域NCAを取り囲み、ターミネーション領域FLRがゲート配線領域GLAを取り囲むように形成されている。前述したように、本実施の形態1のパワーMISFETのソースとなるn+型半導体領域12（たとえば図6参照）は、活性セル領域ACAに形成され、不活性セル領域NCAには形成されていない。不活性セル領域NCAにもn+型半導体領域12が形成されている場合には、n+型単結晶シリコン基板1A（たとえば図6参照）およびn-型単結晶シリコン層1B（たとえば図6参照）をドレイン領域とし、n+型半導体領域12をソース領域とし、ゲート引き出し電極8（たとえば図6参照）をゲート電極とし、p-型半導体領域10（たとえば図6参照）をチャネルとする寄生MISFETが形成されることになる。ここで、ゲート電極7（たとえば図6参照）とゲート引き出し電極8とは一体に形成され、電氣的に接続していることから、パワーMISFETを動作させた時にこの寄生MISFETも動作して、チップ外周領域に近いセルで電流集中が起きてしまう不具合が懸念される。そこで、本実施の形態1のように、活性セル領域ACAに形成されたパワーMISFETのセルを、n+型半導体領域12の存在しないダミーセルが形成された不活性セル領域NCAが取り囲むようにすることにより、そのような寄生MISFETによる寄生動作を防ぐことが可能となる。それにより、パワーMISFETのチップ外周領域に近いセルで電流集中が起きてしまう不具合を防ぐことができる。

#### 【0035】

また、図10～図12に示すように、本実施の形態1においてゲート電極7（溝4）の平面パターンは四角形のメッシュ状となっている。ゲート電極7の上層に形成されたソースパッド22は、配線23と電氣的に接続している。ゲートパッド（ゲート電極）26は、ゲート配線21、ソースパッド22、および配線23、24、25と同じ配線層から形成され、ゲート配線21と電氣的に接続している。n+型ガードリング領域13（たとえば図9参照）と電氣的に接続する配

線 25、p-型フィールドリミッティングリング 11（たとえば図 9 参照）と電氣的に接続する配線 24 および配線 25 は、活性セル領域 A C A を取り囲むようにチップ領域の最外周から順に配置されている。

#### 【0036】

図 13 は、上記 p-型フィールドリミッティングリング 11（たとえば図 9 も参照）の機能を説明する要部断面図である。図 13 中においては、説明のために、複数の p-型フィールドリミッティングリング 11 のうち、配線 23 と電氣的に接続するものを p-型フィールドリミッティングリング 11 A とし、配線 24 と電氣的に接続するものを p-型フィールドリミッティングリング 11 B とし、p-型フィールドリミッティングリング 11 A と p-型フィールドリミッティングリング 11 B との間の p-型フィールドリミッティングリングを 3 本として、p-型フィールドリミッティングリング 11 A に近い方から順に p-型フィールドリミッティングリング 11 C、11 D、11 E とした。

#### 【0037】

p-型フィールドリミッティングリング 11 B、11 C、11 D、11 E は、電圧が固定されないフローティング状態にしてある。パワー M I S F E T のソース領域と電氣的に接続する配線 23 とドレインとの間に逆バイアス電圧が印加されると、最初は p-型フィールドリミッティングリング 11 A の周りに空乏層 D P L が形成される。逆バイアス電圧の増加に従って空乏層 D P L が p-型フィールドリミッティングリング 11 C の方向に伸びるので、p-型フィールドリミッティングリング 11 A がアバランシェ降伏する前に、図 13 中にて点線で示すように空乏層 D P L が p-型フィールドリミッティングリング 11 B に達するようにする。p-型フィールドリミッティングリング 11 A においては、電界がコーナ部 C N A で最大となるが、図 13 に示したように、コーナ部 C N A でアバランシェ降伏が起こる前に空乏層 D P L が p-型フィールドリミッティングリング 11 C に達するようにすることでコーナ部 C N A の電界を緩和することができる。その後、逆バイアス電圧を増加すると、p-型フィールドリミッティングリング 11 C のコーナ部 C N C の電界が増加するが、同様に p-型フィールドリミッティングリング 11 C のコーナ部 C N C が降伏する前に p-型フィールド

ドリミッティングリング 11C から伸びる空乏層が p-型フィールドドリミッティングリング 11D に達するようにすることで、コーナー部 CNC の電界を緩和することができる。さらに逆バイアス電圧を増加すると、p-型フィールドドリミッティングリング 11D のコーナー部 CND、次いで p-型フィールドドリミッティングリング 11E のコーナー部 CNE と強電界部分が増えていくが、同様の手段によってそれぞれの電界を緩和することができる。このように、強電界部分が順次外側の p-型フィールドドリミッティングリングのコーナー部に生じ、複数の強電界部分ができることによって、ターミネーション領域 FLR の高耐圧化を実現することができる。また、最終的には、最外周の p-型フィールドドリミッティングリング 11B のコーナー部 CNB が最大電界部分になりやすいが、p-型フィールドドリミッティングリング 11B と電氣的に接続する配線 24 を設けることにより、配線 24 をコーナー部 CNB の電界を緩和させるフィールドプレートとして機能させることができる。

#### 【0038】

図 14 は、本発明者らが本実施の形態 1 のパワー MISFET が形成された基板と比較した基板の要部断面図である。

#### 【0039】

図 14 に示した基板は、本実施の形態 1 のパワー MISFET が形成された基板（たとえば、図 9 参照）とほぼ同様であるが、p-型フィールドドリミッティングリング 11 が本実施の形態 1 のパワー MISFET が形成された基板に比べて深く形成され、そのうちの 1 本がゲート引き出し電極 8 の形成された溝 5 を覆うように形成されている。これは、p-型フィールドドリミッティングリング 11 を深く形成することによって、p-型フィールドドリミッティングリング 11 の接合耐圧を大きくできるからである。しかしながら、ゲート配線領域 GLA においては、p-型半導体領域 10 と p-型フィールドドリミッティングリング 11 とが重なる部分が出てくる。このような重なる部分が存在する場合には、図 5 を用いて説明したような一括した不純物イオン導入工程で、一括して p-型半導体領域 10 および p-型フィールドドリミッティングリング 11 を形成することができなくなる。すなわち、p-型半導体領域 10 および p-型フィールドドリミッティングリン

グ 1 1 は、別々の不純物イオン導入工程で形成することになり、本実施の形態 1 の半導体装置の製造方法に比べて製造工程数が増え、半導体装置製造の T A T (Turn Around Time) の延長を招くことが懸念される。また、製造工程数が増えることによって、半導体装置の製造コストの増大も懸念される。

#### 【0040】

一方、本実施の形態 1 のように p-型フィールドリミットリング 1 1 を浅く形成した場合には、p-型フィールドリミットリング 1 1 の本数を増やしたり、隣接する p-型フィールドリミットリング 1 1 の間隔を最適化することでターミネーション領域 F L R を活性セル領域 A C A および不活性セル領域 N C A と同等に高耐圧化することができる。しかしながら、p-型半導体領域 1 0 および p-型フィールドリミットリング 1 1 を一括して形成した場合には、p-型フィールドリミットリング 1 1 が溝 5 を覆う構造とならないため、ゲート・ドレイン間の電界が大きくなることになる。すなわち、ゲート配線領域 G L A の耐圧が、活性セル領域 A C A、不活性セル領域 N C A およびターミネーション領域 F L R に比べて低下していることになり、図 1 5 に示すように、パワー M I S F E T がブレイクダウン電圧 B V で降伏した時に、溝 5 の底部周辺の領域 T B A における電界が大きくなり耐圧が低下するので、この領域 T B A にアバランシェ電流が集中して流れてしまうことになる。このように部分的に耐圧の低い箇所があると、局所的に降伏が起こることになってしまうので、本実施の形態 1 のパワー M I S F E T のアバランシェ耐量の低下が懸念される。また、衝突電離によって発生した電子と正孔がゲート絶縁膜に注入されることによる信頼性の低下が懸念される。

#### 【0041】

そこで、本実施の形態 1 においては、p-型半導体領域 1 0 および p-型フィールドリミットリング 1 1 を形成するに当たって以下のような規定をし、上記のような不具合の発生を防ぐ。

#### 【0042】

すなわち、図 1 6 に示すように、ゲート配線領域 G L A においては、p-型半導体領域 1 0 および p-型フィールドリミットリング 1 1 を形成する際の

不純物イオン導入時に、ゲート引き出し電極 8 のうち溝 5 の外部に配置された部分とフィールド絶縁膜 3 A とがマスクとなる。不純物イオンは、この部分の寸法だけ離間して導入されることになる。この寸法をイオン導入間隔 CHSP とすると、ゲート配線領域 GLA の耐压の向上は、イオン導入間隔 CHSP を可能な限り狭くすることで実現できる。これは、イオン導入間隔 CHSP を狭くすることによって、ソースパッド 22 および配線 23 とドレインとの間に逆バイアス電圧を印加した時に、p-型半導体領域 10 および p-型フィールドリミッティングリング 11 のそれぞれから n-型単結晶シリコン層 1B へ伸びる空乏層が接続し、溝 5 の底部周辺の領域 TBA (図 15 参照) を覆えるようになるからであり、それによって領域 TBA における電界が緩和されるからである。その一方で、イオン導入間隔 CHSP の規定が狭くなり過ぎると、ゲート引き出し電極 8 が微細なパターンとなって、ゲート引き出し電極 8 上の絶縁膜 14 にコンタクト溝 19 を形成するのが困難になってしまう。逆に、イオン導入間隔 CHSP の規定が広くなり過ぎると、p-型半導体領域 10 から n-型単結晶シリコン層 1B へ伸びる空乏層が領域 TBA を覆えなくなるので、領域 TBA における電界を緩和できなくなり、ゲート配線領域 GLA の耐压が低下してしまう。

#### 【0043】

ここで、本発明者らは、シミュレーションにより上記イオン導入間隔 CHSP を適切な範囲に設定する手段について検討した。図 17 は、ソース・ドレイン間の耐压が約 150 V ~ 500 V のパワー MISFET を想定してイオン導入間隔 CHSP を変化させた時のゲート配線領域 GLA の耐压をシミュレーションした結果を示したものであり、図 18 は、図 17 に示したデータをもとにパワー MISFET の耐压を確保できるイオン導入間隔 CHSP の範囲を示したものである。なお、150 V 仕様のパワー MISFET については、n-型単結晶シリコン層 1B を抵抗率  $2.5 \Omega \cdot \text{cm}$ 、厚さ  $14 \mu\text{m}$  とし、p-型半導体領域 10 の形成深さを  $1.69 \mu\text{m}$  としてシミュレーションを行い、200 V 仕様のパワー MISFET については、n-型単結晶シリコン層 1B を抵抗率  $4 \Omega \cdot \text{cm}$ 、厚さ  $18 \mu\text{m}$  とし、p-型半導体領域 10 の形成深さを  $1.75 \mu\text{m}$  としてシミュレーションを行い、250 V 仕様のパワー MISFET については、n-型単結晶

シリコン層 1B を抵抗率  $5.5 \Omega \cdot \text{cm}$ 、厚さ  $20 \mu\text{m}$  とし、p-型半導体領域 10 の形成深さを  $1.82 \mu\text{m}$  としてシミュレーションを行い、500V 仕様のパワー MISFET については、n-型単結晶シリコン層 1B を抵抗率  $15 \Omega \cdot \text{cm}$ 、厚さ  $40 \mu\text{m}$  とし、p-型半導体領域 10 の形成深さを  $1.98 \mu\text{m}$  としてシミュレーションを行った。その結果、図 17 に示すように、イオン導入間隔 CHSP が所定の値より大きくなるとゲート・ドレイン間の電界が大きくなり、急激に耐圧が低下することがわかった。また、図 18 に示すように、その急激に耐圧が低下するイオン導入間隔 CHSP は、n-型単結晶シリコン層 1B の抵抗率  $\rho$  ( $\Omega \cdot \text{cm}$ ) によって表せることがわかった。これらの結果から、ゲート配線領域 GLA の耐圧を確保できるイオン導入間隔 CHSP の範囲は、 $\text{CHSP} \leq 3.80 + 0.148 \rho$  と表せることができる。すなわち、このイオン導入間隔 CHSP の範囲内において、絶縁膜 14 にコンタクト溝 19 を形成することが可能な程度にイオン導入間隔 CHSP を設定することにより、本実施の形態 1 のパワー MISFET においては、ゲート配線領域 GLA でも所望の耐圧とすることが可能となる。

#### 【0044】

ところで、本実施の形態 1 のパワー MISFET においては、p-型半導体領域 10 の形成深さを深くするほど耐圧を高くすることができる。しかしながら、MISFET として動作させる活性セル領域 ACA では、MISFET とするために p-型半導体領域 10 より深い溝 4 が必要となる。そのため、溝 4 を深くするに従って、平面では溝 4 を微細に形成することが困難になる。また、溝 4 が深くなることによって、ゲート・ソース間容量（入力容量）の増加する虞がある。また、確実に溝 4 を p-型半導体領域 10 より深く形成するために、実際に形成される溝 4 の深さの誤差を考慮して、溝 4 の深さはマージンを設けて設定する必要がある。しかしながら、このマージンが設けられたことにより、溝 4 内に形成された酸化シリコン膜 6 と n-型単結晶シリコン層 1B とが接する面積が増大することになり、ゲート・ドレイン間容量の増加する虞がある。このようなゲート・ソース間容量およびゲート・ドレイン間容量といった寄生容量の増加によって、パワー MISFET のスイッチング損失の増加が懸念される。そこで、本実施



の形態1では、ソース・ドレイン間耐圧が150V～600V程度のパワーMISFETにおいて、p-型半導体領域10の形成深さを $1.5\mu\text{m} \sim 2\mu\text{m}$ 程度とすることを例示できる。このような条件でp-型半導体領域10を形成するには、たとえばp型の導電性を有する不純物イオンとしてBをエネルギー75keV程度、導入量 $1 \times 10^{13}$ 個/ $\text{cm}^2$ 程度でn-型単結晶シリコン層1Bに導入した後、1:99程度の割合で酸素と窒素とが混合された雰囲気中で基板に1100℃程度の熱処理を30分程度施すことによって実現することができる。

#### 【0045】

図示は省略するが、上記ゲート配線21、ソースパッド22、配線23、24、25およびゲートパッド26を形成した後、基板の上部に、保護膜として、たとえばポリイミド樹脂膜を塗布し、露光、現像することによって、ゲートパッド26およびソースパッド22上のポリイミド樹脂膜を除去し、開口部を形成する。

#### 【0046】

次いで、基板の表面をテープ等で保護した後、保護面を下側とし、n+型単結晶シリコン基板1Aの裏面を研削する。続いて、n+型単結晶シリコン基板1Aの裏面上に、導電性膜として、たとえばTi（チタン）膜、Ni（ニッケル）膜およびAu（金）膜を順次スパッタリング法により堆積し、これらの積層膜を形成する。この積層膜は、ドレイン（n+型単結晶シリコン基板1Aおよびn-型単結晶シリコン層1B）の引出し電極（ドレイン電極）となる。

#### 【0047】

続いて、上記テープを剥がし、上記ポリイミド樹脂膜に形成した開口部上に、たとえばAu等よりなるバンプ電極を形成した後、ウエハ状態の基板を、たとえば分割領域（図示は省略）に沿ってダイシングし、個々のチップへと分割する。その後、個々のチップを、たとえば外部端子を有するリードフレーム（実装板）上に搭載し樹脂等で封止（実装）し、本実施の形態1の半導体装置を製造する。

#### 【0048】

##### （実施の形態2）

本実施の形態2の半導体装置は、前記実施の形態1の半導体装置と同様に、た

例えばnチャネル型のパワーMISFETを有するものである。この本実施の形態2の半導体装置の製造方法について図19～図22を用いて工程順に説明する。

#### 【0049】

本実施の形態2の半導体装置の製造工程は、前記実施の形態1において図1を用いて説明した工程までは同様である。その後、図19に示すように、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜をマスクとして、酸化シリコン膜3を所定量エッチングし、酸化シリコン膜3に段差を形成する。このような段差を形成することによって、その段差を次工程でのフォトレジスト膜のパターニング時における位置合わせ用のマークとして用いることができる。また、このパターンをマスクとしてp型の導電型を有する不純物イオン（たとえばB）をn型単結晶シリコン層1Bに導入する。次いで、基板に熱処理を施すことによってその不純物イオンを拡散させ、p型半導体領域10Aおよびp型フィールドリミットリング11を形成する。

#### 【0050】

次に、図20に示すように、フォトリソグラフィ技術を用いてパターニングされたフォトレジスト膜をマスクとして酸化シリコン膜3およびn型単結晶シリコン層1B（p型半導体領域10A）をエッチングし、活性セル領域ACAおよび不活性セル領域NCAに溝4を形成し、ゲート配線領域GLAに溝5を形成する。この時、溝4、5は、その深さがp型半導体領域10Aおよびp型フィールドリミットリング11より深くなるように形成する。ここで、溝5よりチップ外周方向に存在するp型半導体領域10Aをp型フィールドリミットリング11Fとする。

#### 【0051】

続いて、基板に熱酸化処理を施すことにより、溝4、5の側壁および底部に酸化シリコン膜6を形成する、この酸化シリコン膜6は、パワーMISFETのゲート絶縁膜となる。

#### 【0052】

次に、図21に示すように、たとえばPがドーピングされた多結晶シリコン膜を溝

4、5の内部を含む酸化シリコン膜3上に堆積し、その多結晶シリコン膜で溝4、5を埋め込む。続いて、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜をマスクとして多結晶シリコン膜をエッチングし、多結晶シリコン膜を溝4、5内に残すことによって、溝4内にパワーMISFETのゲート電極7を形成し、溝5内にゲート引き出し電極8を形成する。この時、ゲート引き出し電極8を形成する多結晶シリコン膜の一部が溝5の外部に残るようにパターンニングを行う。それにより、ゲート引き出し電極8は、図21においては紙面に垂直な方向に延在し、溝5外における幅が溝5内における幅より大きくなる。続いて、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜をマスクとして酸化シリコン膜3をエッチングし、不要な酸化シリコン膜3を除去することによって、残った酸化シリコン膜3からフィールド絶縁膜3Aを形成する。

#### 【0053】

その後、図22に示すように、前記実施の形態1で図5～図9を用いて説明した工程と同様の工程を経ることによって本実施の形態2の半導体装置を製造する。

#### 【0054】

上記の本実施の形態2によれば、内部にゲート引き出し電極8が形成される溝5を形成する前にp-型半導体領域10Aおよびp-型フィールドリミットリング11、11Aを形成するための不純物イオンの導入を実施するので、ゲート配線領域GLAの全面にその不純物イオンを導入することができる。それにより、p-型半導体領域10Aおよびp-型フィールドリミットリング11Aが確実に溝5の側壁に接する構造とすることができる。その結果、ゲート配線領域GLAにおける耐圧低下を確実に防ぐことが可能となる。

#### 【0055】

ところで、図23および図24は、それぞれ本実施の形態2および前記実施の形態1の基板における活性セル領域ACAを拡大して示したものである。

#### 【0056】

本実施の形態2の半導体装置の製造工程によれば、p-型半導体領域10Aを

形成した後にゲート電極 7 が配置される溝 4 を形成するので、前記実施の形態 1 の半導体装置の製造工程に比べて、 $p$ -型半導体領域 10A の形成深さより溝 4 の形成深さを十分深く形成する必要があるが生じる。そのため、本実施の形態 2 のパワー MISFET によれば、前記実施の形態 1 のパワー MISFET に比べて、オン動作させた時に  $n$ -型単結晶シリコン層 1B に接した溝 4 の側面に十分な蓄積層を形成できるので、オン抵抗を小さくできる。これにより、定常損失を低減することが可能となる。その一方で、本実施の形態 2 の半導体装置のパワー MISFET は、前記実施の形態 1 のパワー MISFET に比べて、 $p$ -型半導体領域 10A の形成深さより溝 4 の形成深さが深くなるので、溝 4 の側壁および底部に形成された酸化シリコン膜 6 と  $n$ -型単結晶シリコン層 1B との接触する面積が大きくなる。そのため、本実施の形態 2 の半導体装置のパワー MISFET は、その酸化シリコン膜 6 を容量絶縁膜としたゲート・ドレイン間容量  $C_{gd}$  が前記実施の形態 1 のパワー MISFET に比べて大きくなるので、前記実施の形態 1 のパワー MISFET に比べてスイッチング損失が大きくなる。これらのことから、パワー MISFET の定常損失低減を優先する場合には本実施の形態 2 の半導体装置の製造方法を適用し、パワー MISFET のスイッチング損失を低減することによるスイッチング速度向上を優先する場合には前記実施の形態 1 の半導体装置の製造方法を適用することが好ましい。

#### 【0057】

##### (実施の形態 3)

本実施の形態 3 は、前記実施の形態 1 において四角形のメッシュ状としたゲート電極 7 (図 12 参照) の平面パターンを変形したものである。

#### 【0058】

図 25 に示すように、本実施の形態 3 においては、前記実施の形態 1 において四角形のメッシュ状としたゲート電極 7 (溝 4) の平面パターンのうち、ゲート引き出し電極 8 (溝 5) が延在する方向と同じ方向に延在していた部分を省略したものである。それにより、溝 4 の側壁および底部に形成されパワー MISFET のゲート絶縁膜となる酸化シリコン膜 6 (たとえば図 9 参照) と  $n$ -型単結晶シリコン層 1B との接触する面積が前記実施の形態 1 に比べて小さくなる。その

結果、本実施の形態3の半導体装置のパワーMISFETは、その酸化シリコン膜6を容量絶縁膜としたゲート・ドレイン間容量が前記実施の形態1のパワーMISFETに比べて小さくなるので、前記実施の形態1のパワーMISFETに比べてスイッチング損失が小さくできる。すなわち、本実施の形態3のパワーMISFETによれば、前記実施の形態1のパワーMISFETに比べてスイッチング速度を向上することができる。

#### 【0059】

##### (実施の形態4)

本実施の形態4は、前記実施の形態3において図25に示したゲート電極7の平面パターンを変形したものである。

#### 【0060】

図26および図27に示すように、本実施の形態4では、前記実施の形態3で示したような、ゲート引き出し電極8の延在する方向と交差する方向に延在するゲート電極(第3部分)7の平面パターンにおいて、ゲート引き出し電極8(溝5)とパワーMISFETのソース領域となるn<sup>+</sup>型半導体領域12との間に、ゲート引き出し電極8の延在する方向に延在するゲート電極(第1導電体、第4部分)7A(溝4A)を配置したものである。なお、図27は、図26中のB-B線に沿った断面図である。

#### 【0061】

ここで、前記実施の形態3で示したようなゲート電極7のパターンとした場合について図28および図29を用いて検討する。なお、図29は、図28中のB-B線に沿った断面図である。図28および図29に示すように、ゲート引き出し電極8(溝5)とn<sup>+</sup>型半導体領域12との間にゲート電極7A(溝4A)を配置しない場合には、パワーMISFETを動作させると、ドレイン(n<sup>+</sup>型単結晶シリコン基板1Aおよびn<sup>-</sup>型単結晶シリコン層1B)からソース(n<sup>+</sup>型半導体領域12)へ垂直方向に流れる電流成分I<sub>1</sub>(正常なパワーMISFETによる電流)の他に、寄生MISFETによる電流I<sub>2</sub>がゲート引き出し電極8が形成された溝5の側壁およびp<sup>-</sup>型半導体領域10の表面に沿って流れる。この電流I<sub>2</sub>は、パワーMISFETのセルの終端部(不活性セル領域NCA)で集

中して流れることから、局所的な発熱の発生によるパワーMISFETの安全動作領域（ASO; Area Of Safe Operation）の低下が懸念される。

#### 【0062】

そこで、図30に示すように、パワーMISFETのセルの終端部から配線23と電氣的に接続するp-型フィールドリミッティングリング11の間に、そのp-型フィールドリミッティングリング11とp-型半導体領域10とに一部が重なるp型ウエル11Gを追加する手段が考えられる。それにより、p-型半導体領域10とp型ウエル11Gとが重なることによって、p-型半導体領域10単独より高濃度に不純物が導入された領域ができるので、寄生MISFETのしきい値電圧を正常なMISFET（パワーMISFET）のしきい値電圧より高くすることができる。その結果、寄生MISFETによる電流I2をほぼ遮断することができる。すなわち、寄生MISFETによる電流I2がパワーMISFETのセルの終端部で集中して流れることに起因する、局所的な発熱の発生によるパワーMISFETの安全動作領域（ASO; Area Of Safe Operation）の低下を防ぐことができる。しかしながら、p-型フィールドリミッティングリング11とp-型半導体領域10とに一部が重なるp型ウエル11Gは、p-型フィールドリミッティングリング11およびp-型半導体領域10と同一の工程で一括に形成することができないので、パワーMISFETの製造工程数が増加し、パワーMISFETを有する半導体装置の工期が延びてしまう不具合が懸念される。

#### 【0063】

一方、図26および図27に示したような本実施の形態の4によれば、上記のようなp型ウエル11Gを追加することなく、ゲート電極7の平面パターンを変更してゲート電極7と一括に形成することができる上記ゲート電極7Aを追加するのみで寄生MISFETによる電流I2を遮断することが可能となる。その結果、本実施の形態4の半導体装置の製造工程数を増加させることなくパワーMISFETの安全動作領域の低下を防ぐことができる。

#### 【0064】

##### （実施の形態5）

本実施の形態5は、前記実施の形態1におけるコンタクト溝19（図12参照

) およびゲート配線 21 (図 12 参照) の平面パターンを変形したものである。

#### 【0065】

図 31 に示すように、本実施の形態 5 においては、前記実施の形態 1 において 1 本で延在していたコンタクト溝 19 およびゲート配線 21 を、ゲート電極 7 とゲート引き出し電極 8 とが接続する位置毎にそれぞれ個別に形成したものである。それにより、ドレインにブレイクダウン電圧が印加された時においては、溝 5 と隣接する p-型半導体領域 10 (たとえば、図 9 参照) および p-型フィールドリミットリング (たとえば、図 9 参照) から伸びる空乏層が、平面においては溝 5 の四方から広がってくる構造とすることができる。その結果、本実施の形態 5 によれば、前記実施の形態 1 に比べてさらに溝 5 の底部周辺の領域 TBA (図 15 参照) における電界を緩和できるようになる。すなわち、本実施の形態 5 によれば、前記実施の形態 1 に比べてさらにゲート配線領域 GLA における耐圧を向上することができる。

#### 【0066】

##### (実施の形態 6)

本実施の形態 6 は、図 32 に示すように、前記実施の形態 5 における平面パターンから、溝 5 およびゲート引き出し電極 8 を省略し、コンタクト溝 19 の下部まで溝 4 およびゲート電極 7 を延長したものである。このような本実施の形態 6 によれば、前記実施の形態 5 に比べて、ドレインにブレイクダウン電圧が印加された時において、ゲート配線領域 GLA の溝 4 と隣接する p-型半導体領域 10 (たとえば、図 9 参照) および p-型フィールドリミットリング 11 (たとえば、図 9 参照) から伸びる空乏層が、平面においてはゲート配線領域 GLA の溝 4 の四方からさらに効果的に広がってくる構造とすることができる。すなわち、本実施の形態 6 によれば、前記実施の形態 5 に比べてさらにゲート配線領域 GLA における耐圧を向上することができる。

#### 【0067】

##### (実施の形態 7)

本実施の形態 7 は、図 33 に示すように、前記実施の形態 5 における平面パターンから、複数のコンタクト溝 19 およびゲート配線 21 のうち、任意のものを

省略した構造としたものである。このような本実施の形態 7 によれば、前記実施の形態 5 に比べて、ドレインにブレイクダウン電圧が印加された時において、溝 5 と隣接する p-型半導体領域 10（たとえば、図 9 参照）および p-型フィールドリミットングリング 11（たとえば、図 9 参照）から伸びる空乏層が、平面においては溝 5 の四方からさらに効果的に広がってくる構造とすることができる。すなわち、本実施の形態 7 によれば、前記実施の形態 5 に比べてさらにゲート配線領域 GLA における耐圧を向上することができる。

#### 【0068】

また、前記実施の形態 6 においては、溝 5 およびゲート引き出し電極 8 を省略したために、ゲート配線領域 GLA にゲート電極 7 の終端部が配置される構造となるので、ゲート電極 7 の耐圧の低下が懸念されるが、本実施の形態 7 によれば、そのゲート電極 7 の終端部はゲート引き出し電極 8 に接続する構造となるので、ゲート電極 7 の耐圧の低下を防ぐことができる。

#### 【0069】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

#### 【0070】

たとえば、前記実施の形態 1 では、ゲート電極の平面パターンを四角形のメッシュ構造とした場合について説明したが、六角形または八角形などのメッシュ構造としてもよい。

#### 【0071】

また、前記実施の形態 1 では、電位がフローティングとなる p-型フィールドリミットングリングを 2 本とした場合について例示したが、パワー MISFET に求められる耐圧に応じて本数を変えてもよい。

#### 【0072】

#### 【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。



## 【0073】

すなわち、半導体装置の製造工程数を増加することなくパワーMISFETの高耐圧化を実現できる。

## 【図面の簡単な説明】

## 【図1】

本発明の実施の形態1である半導体装置の製造方法を説明する要部断面図である。

## 【図2】

図1に続く半導体装置の製造工程中の要部断面図である。

## 【図3】

図2に続く半導体装置の製造工程中の要部断面図である。

## 【図4】

図3に続く半導体装置の製造工程中の要部断面図である。

## 【図5】

図4に続く半導体装置の製造工程中の要部断面図である。

## 【図6】

図5に続く半導体装置の製造工程中の要部断面図である。

## 【図7】

図6に続く半導体装置の製造工程中の要部断面図である。

## 【図8】

図7に続く半導体装置の製造工程中の要部断面図である。

## 【図9】

図8に続く半導体装置の製造工程中の要部断面図である。

## 【図10】

本発明の実施の形態1である半導体装置の製造工程中の要部平面図である。

## 【図11】

図10中のA-A線付近を拡大して示した要部平面図である。

## 【図12】

図10中のA-A線付近を拡大して示した要部平面図である。

## 【図 13】

フィールドリミッティングリングについて説明する要部断面図である。

## 【図 14】

本発明の実施の形態 1 である半導体装置が形成された基板と比較した基板の要部断面図である。

## 【図 15】

本発明の実施の形態 1 である半導体装置が有する構造における電界の集中を説明する要部断面図である。

## 【図 16】

本発明の実施の形態 1 である半導体装置の製造工程中の要部断面図である。

## 【図 17】

本発明の実施の形態 1 である半導体装置が有するパワー M I S F E T のゲート配線領域の耐圧をシミュレーションした結果を示す説明図である。

## 【図 18】

本発明の実施の形態 1 である半導体装置が有するパワー M I S F E T の耐圧を確保できるイオン導入間隔の範囲を示した説明図である。

## 【図 19】

本発明の実施の形態 2 である半導体装置の製造方法を説明する要部断面図である。

## 【図 20】

図 19 に続く半導体装置の製造工程中の要部断面図である。

## 【図 21】

図 20 に続く半導体装置の製造工程中の要部断面図である。

## 【図 22】

図 21 に続く半導体装置の製造工程中の要部断面図である。

## 【図 23】

本発明の実施の形態 2 である半導体装置の要部断面図である。

## 【図 24】

本発明の実施の形態 2 である半導体装置と比較した実施の形態 1 の半導体装置

の要部断面図である。

【図 25】

本発明の実施の形態 3 である半導体装置の要部平面図である。

【図 26】

本発明の実施の形態 4 である半導体装置の要部平面図である。

【図 27】

図 26 中の B-B 線に沿った断面図である。

【図 28】

本発明の実施の形態 4 である半導体装置と比較した半導体装置の要部平面図である。

【図 29】

図 28 中の B-B 線に沿った断面図である。

【図 30】

本発明の実施の形態 4 である半導体装置と比較した半導体装置の要部断面図である。

【図 31】

本発明の実施の形態 5 である半導体装置の要部平面図である。

【図 32】

本発明の実施の形態 6 である半導体装置の要部平面図である。

【図 33】

本発明の実施の形態 7 である半導体装置の要部平面図である。

【符号の説明】

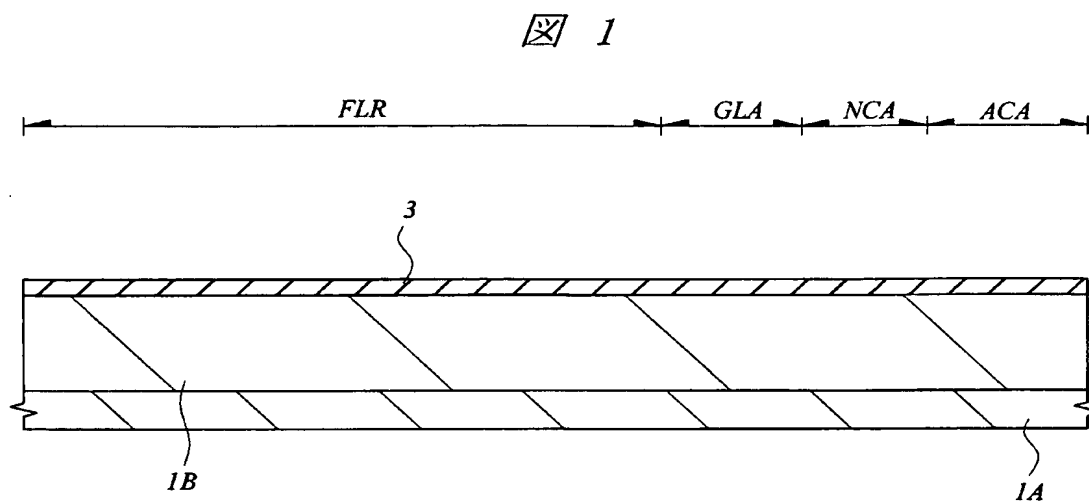
- 1 A n<sup>+</sup>型単結晶シリコン基板
- 1 B n<sup>-</sup>型単結晶シリコン層 (第 1 半導体層)
- 3 酸化シリコン膜
- 3 A フィールド絶縁膜 (第 3 絶縁膜)
- 4 溝 (第 1 溝部)
- 4 A 溝
- 5 溝 (第 2 溝部)

- 6 酸化シリコン膜 (第1絶縁膜、第2絶縁膜)
- 7 ゲート電極 (第1導電体、第3部分)
- 7A ゲート電極 (第1導電体、第4部分)
- 8 ゲート引き出し電極 (第2導電体、ゲート引き出し部)
- 9 酸化シリコン膜
- 10 p-型半導体領域 (第2半導体層)
- 10A p-型半導体領域
- 11 p-型フィールドリミットングリング (第4半導体層)
- 11A~11F p-型フィールドリミットングリング
- 11G p型ウエル
- 12 n+型半導体領域 (第3半導体層)
- 13 n+型ガードリング領域
- 14 絶縁膜
- 15~19 コンタクト溝
- 20 p+型半導体領域
- 21 ゲート配線
- 22 ソースパッド (ソース電極)
- 23 配線
- 24 配線 (第3導電体)
- 25 配線
- 26 ゲートパッド (ゲート電極)
- ACA 活性セル領域 (第1領域)
- CHP チップ領域
- CHSP イオン導入間隔
- CNA、CNB、CNC、CND、CNE コーナー部
- DPL 空乏層
- FLR ターミネーション領域 (第3領域)
- GLA ゲート配線領域 (第2領域)
- NCA 不活性セル領域 (第1領域)

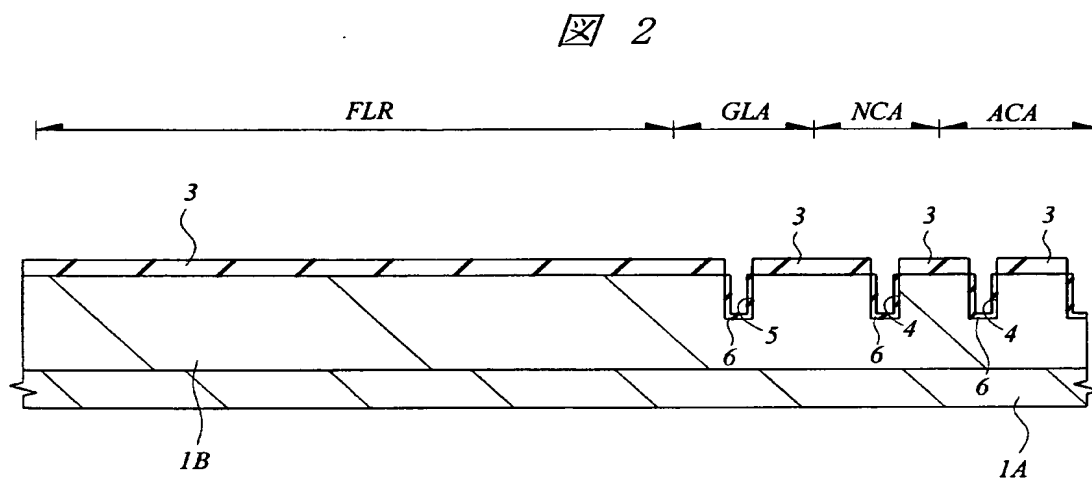
T B A 領域

【書類名】 図面

【図 1】

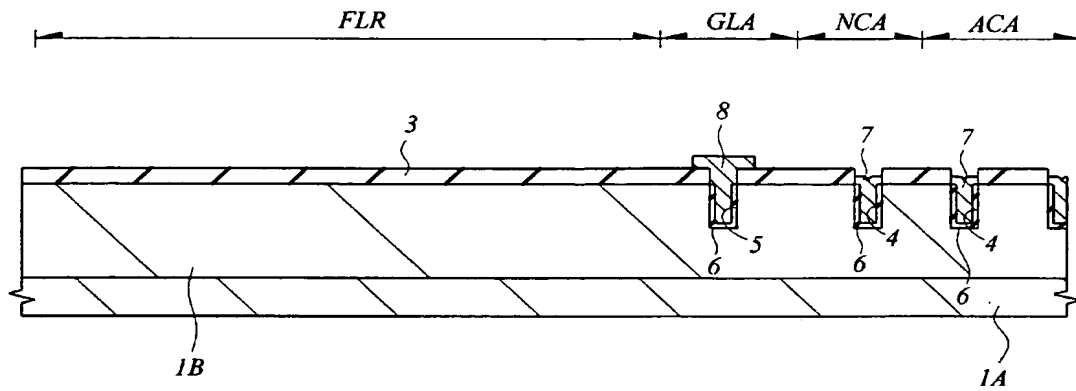


【図 2】



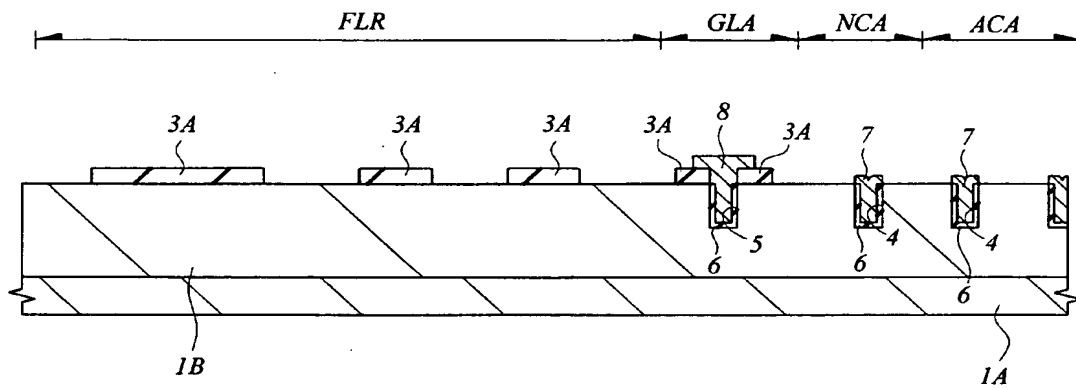
【図 3】

図 3



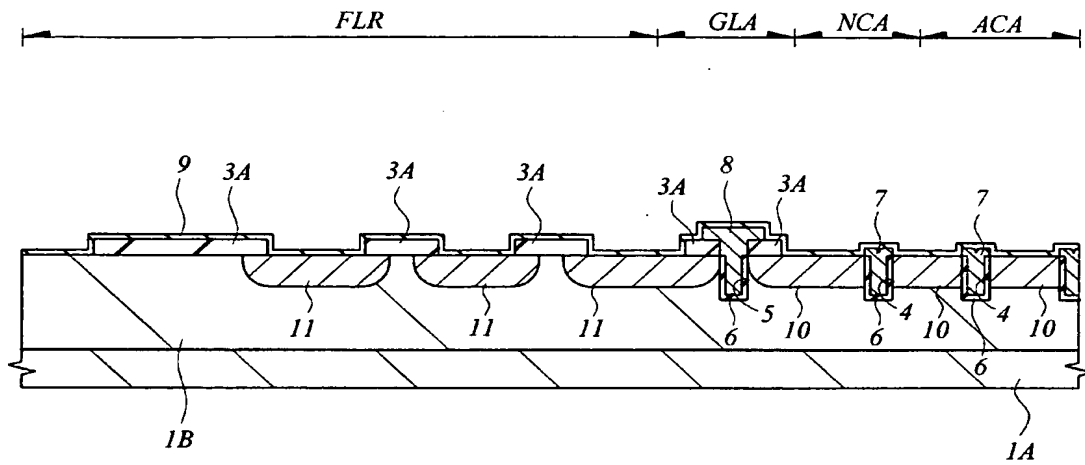
【図 4】

図 4



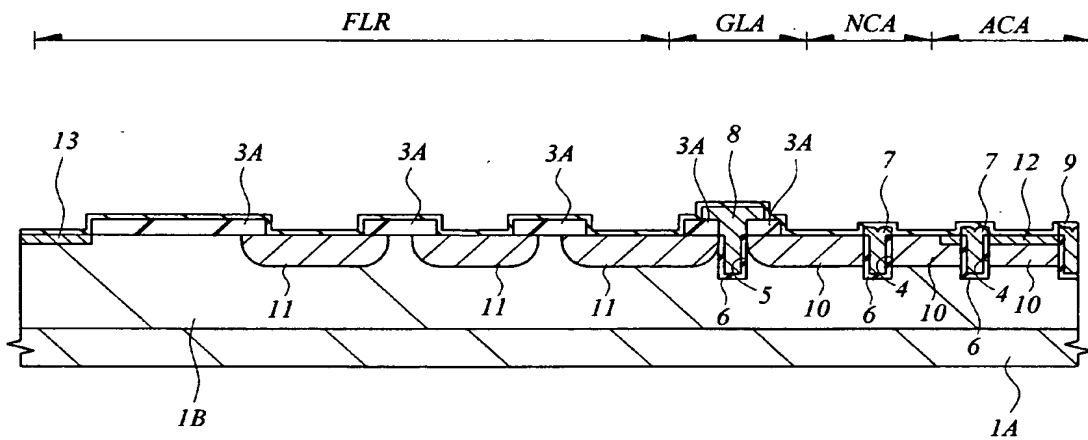
【図 5】

図 5



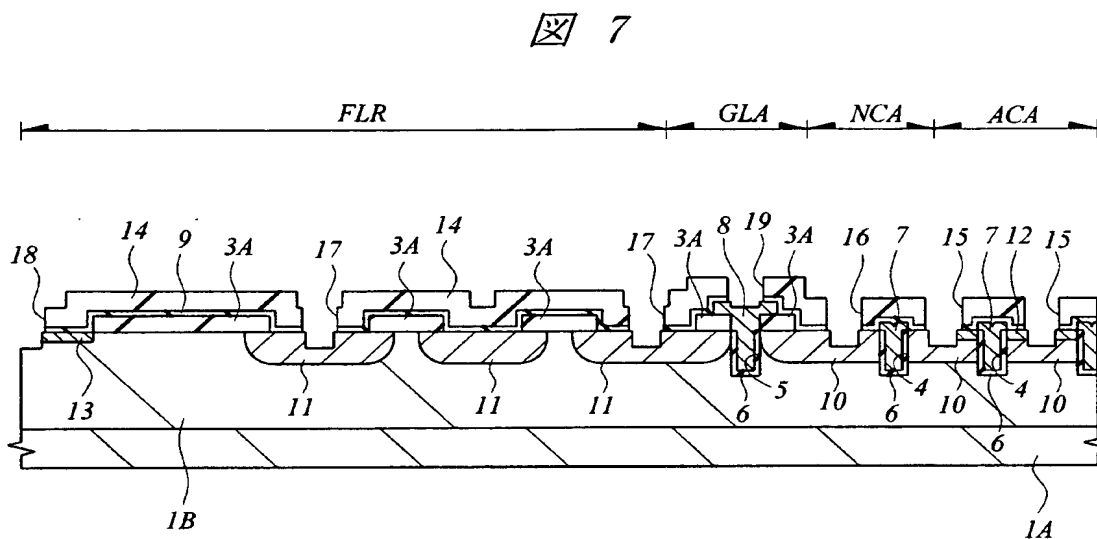
【図 6】

図 6

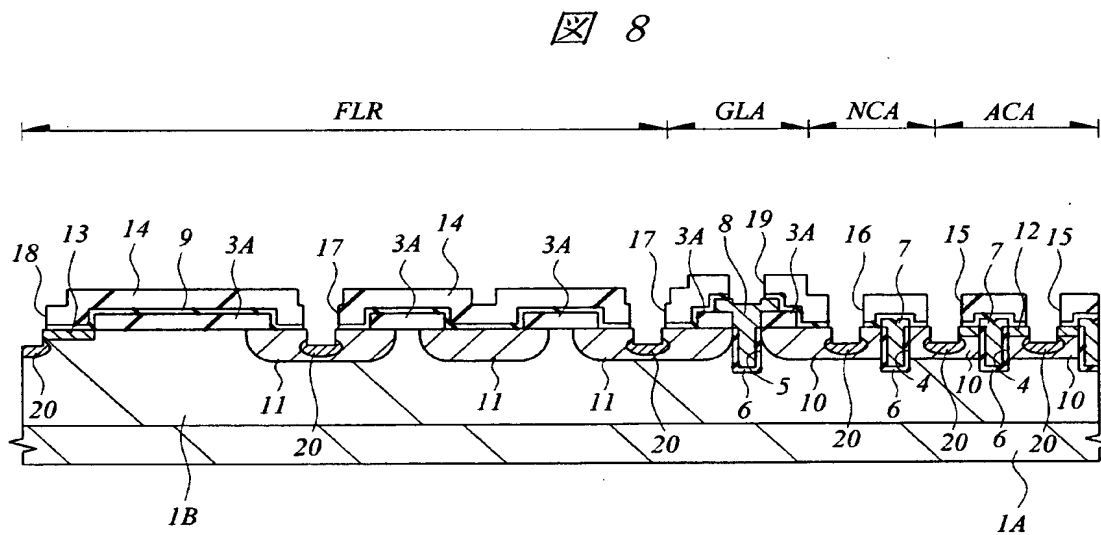




【図 7】

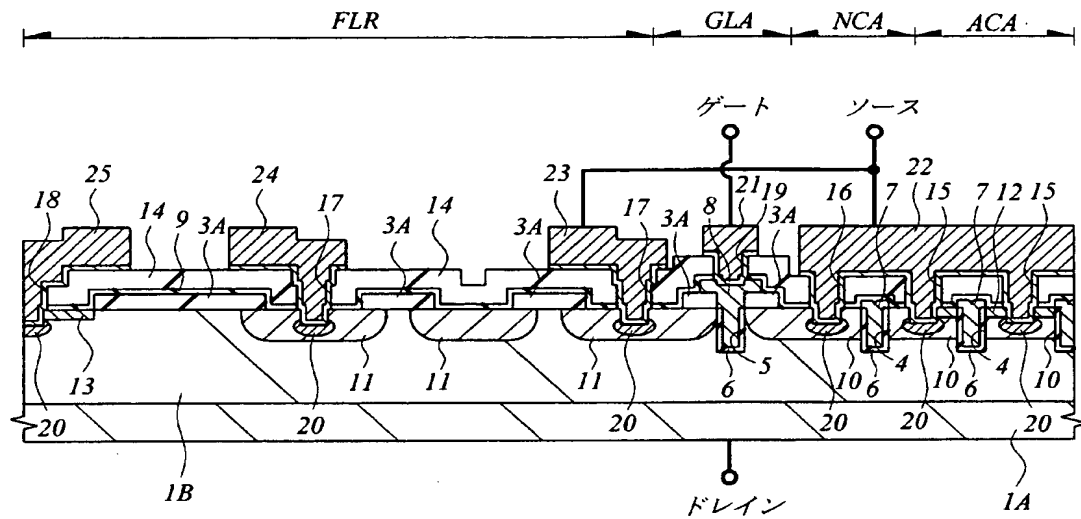


【圖 8】



【図 9】

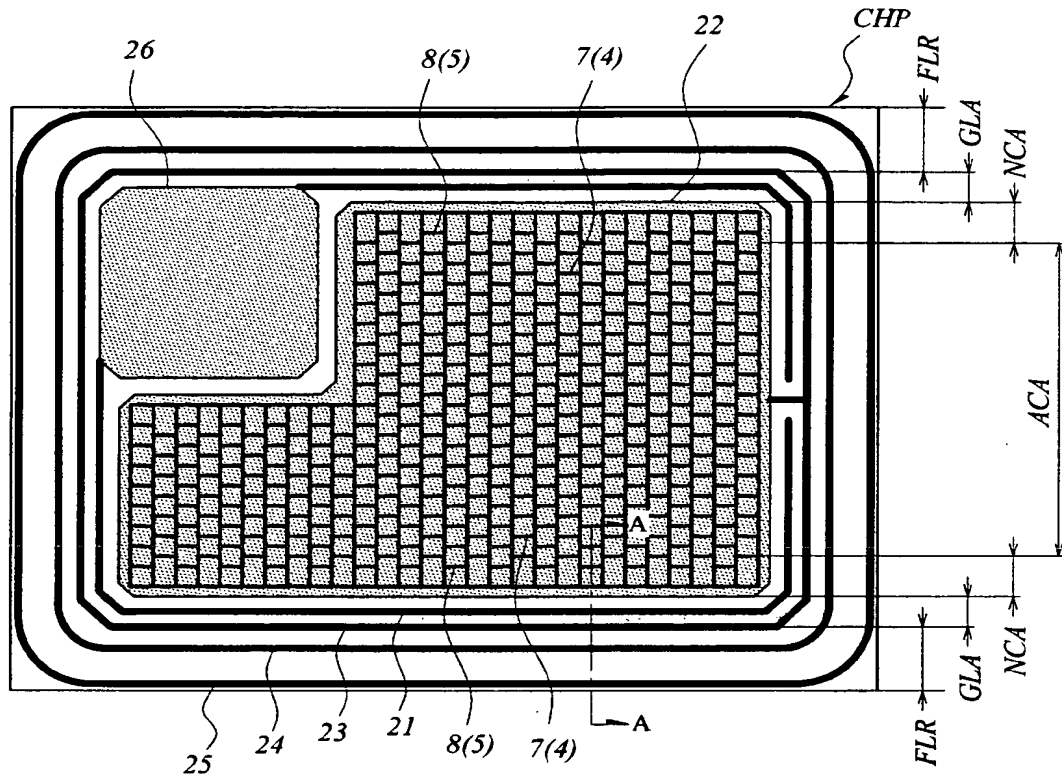
図 9



- 5 : 溝 (第2溝部)  
 8 : ゲート引き出し電極 (第2導電体、ゲート引き出し部)  
 10 : p-型半導体層 (第2半導体層)  
 11 : p-型フィールドリミッティングリング (第4半導体層)  
 GLA : ゲート配線領域 (第2領域)

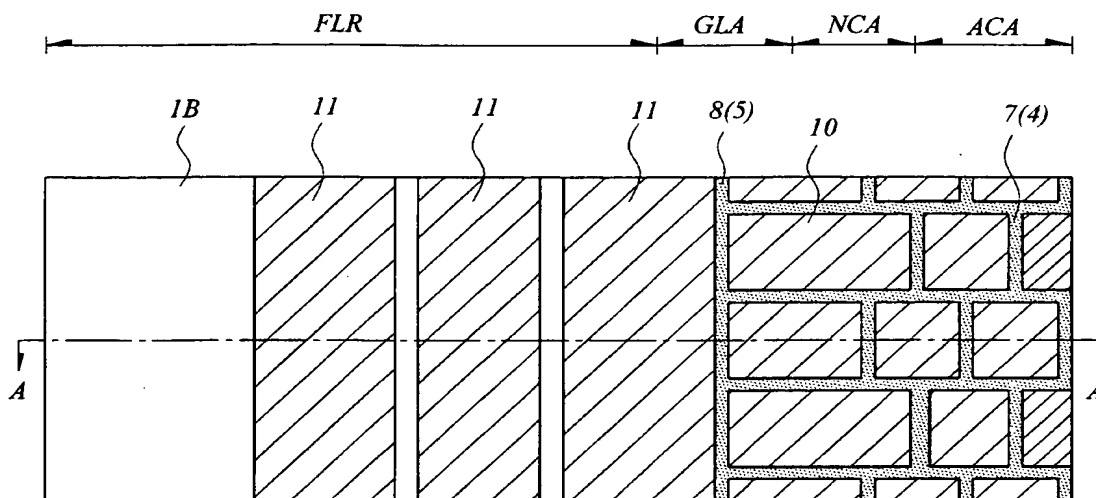
【図 10】

図 10



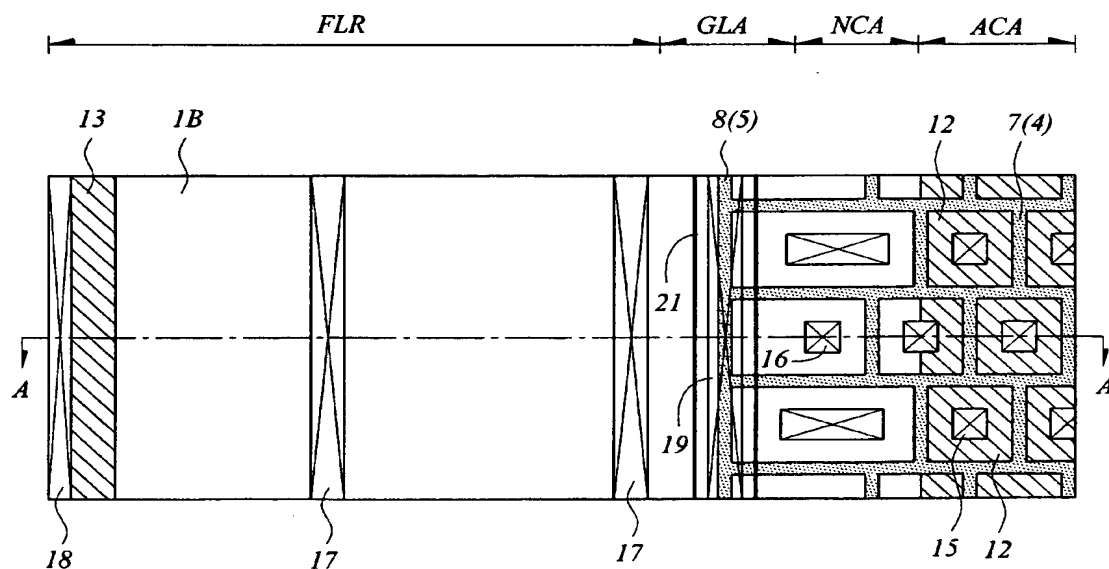
【図 11】

図 11



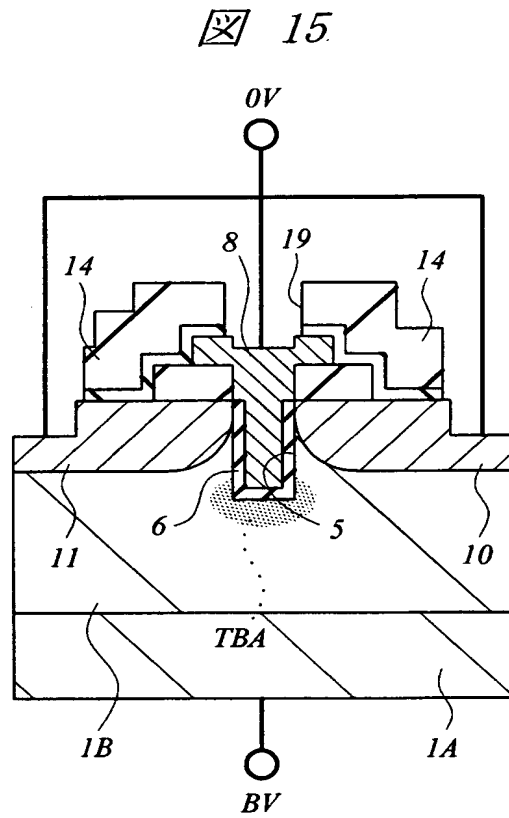
【図 12】

図 12

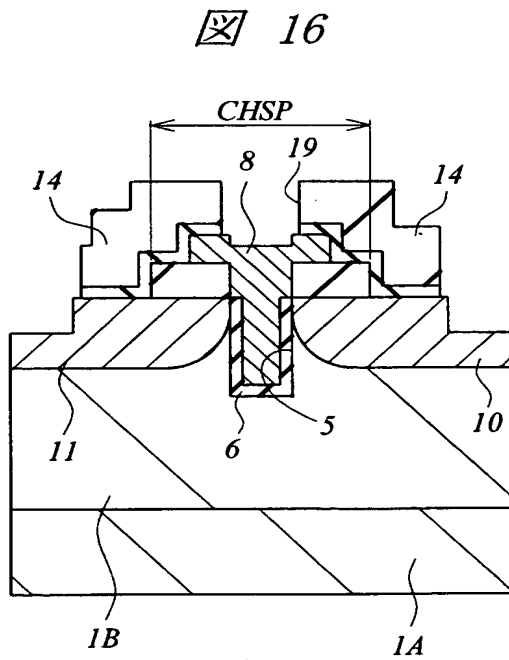




【図 15】

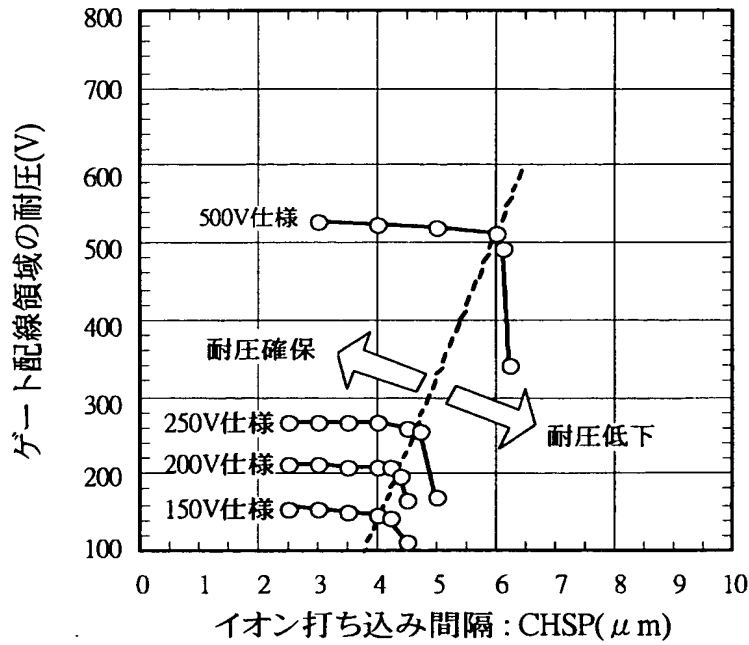


【図 16】



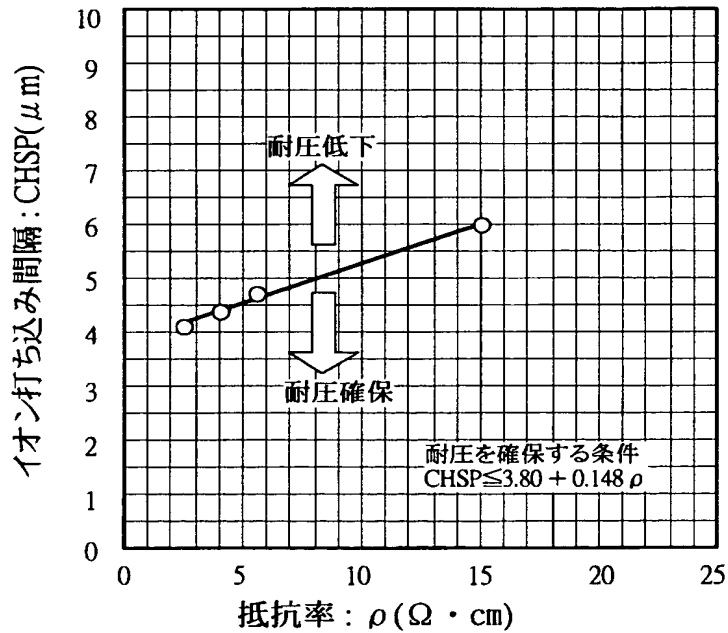
【図 17】

図 17



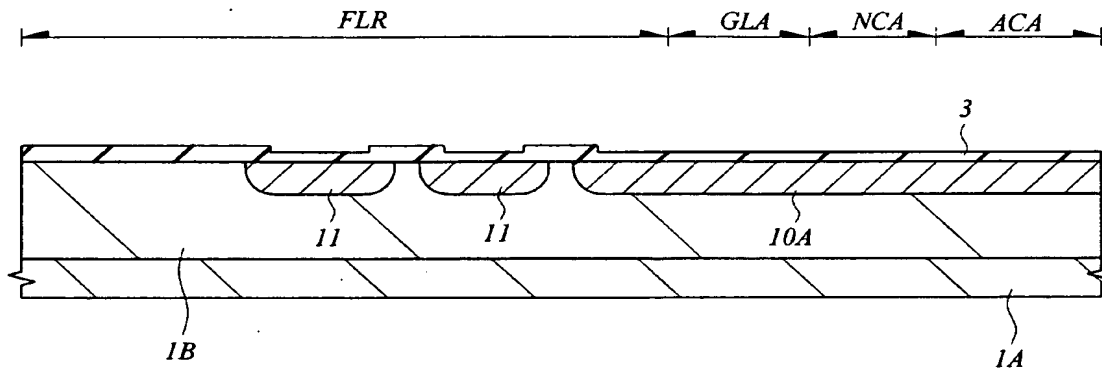
【図 18】

図 18



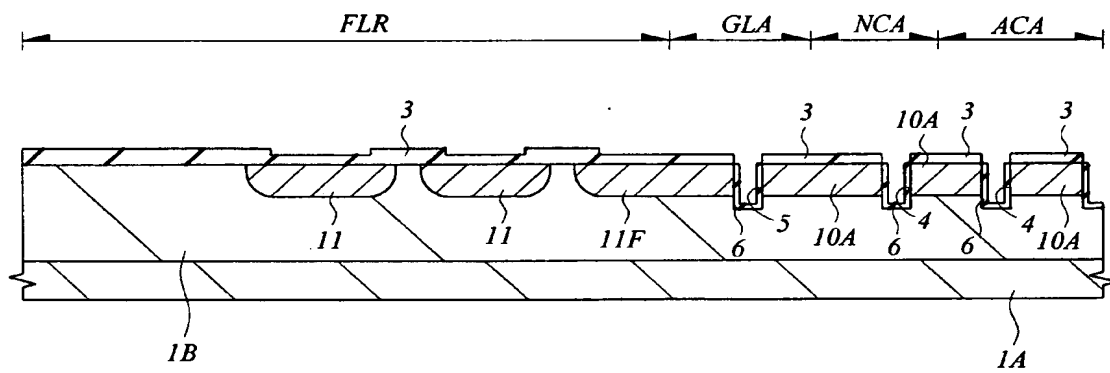
【図 19】

図 19



【図 20】

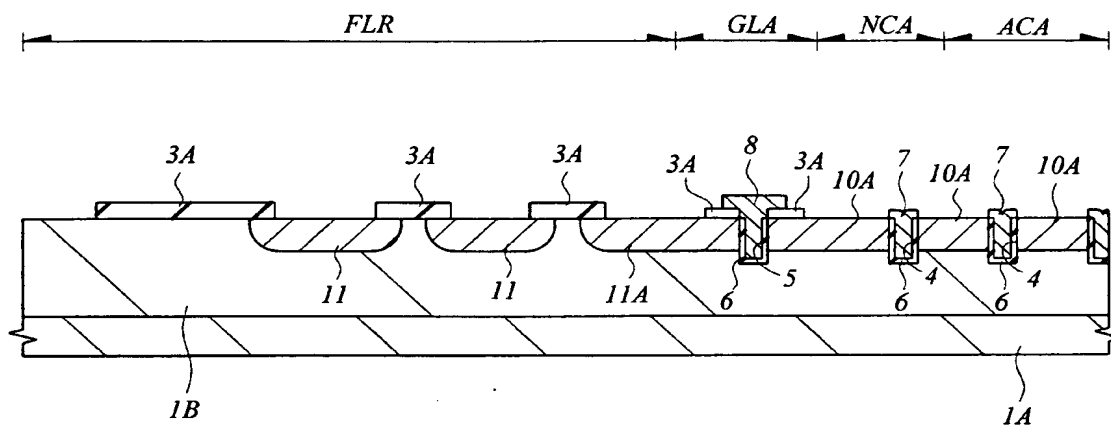
図 20





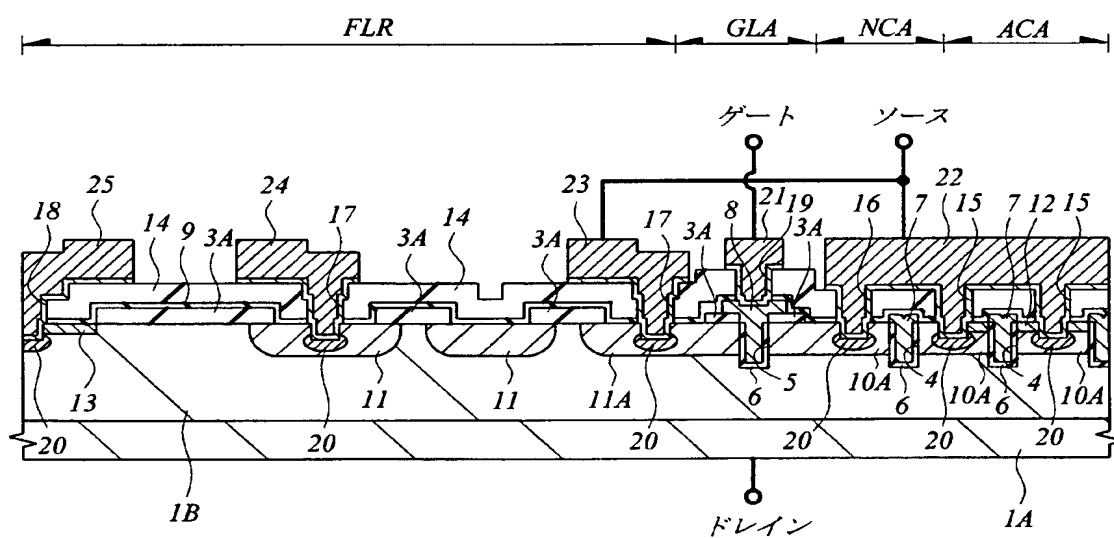
【図 21】

図 21

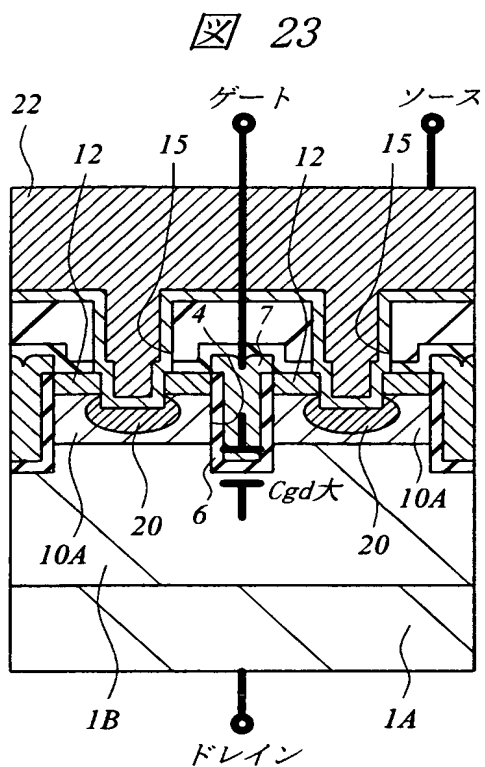


【図 22】

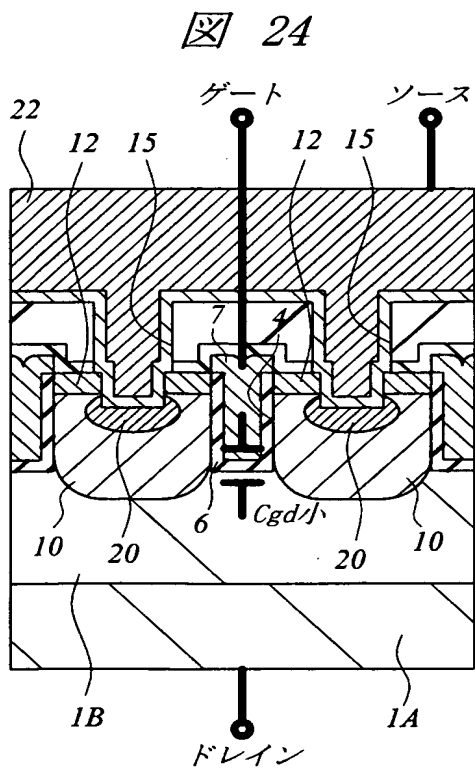
図 22



【図 23】

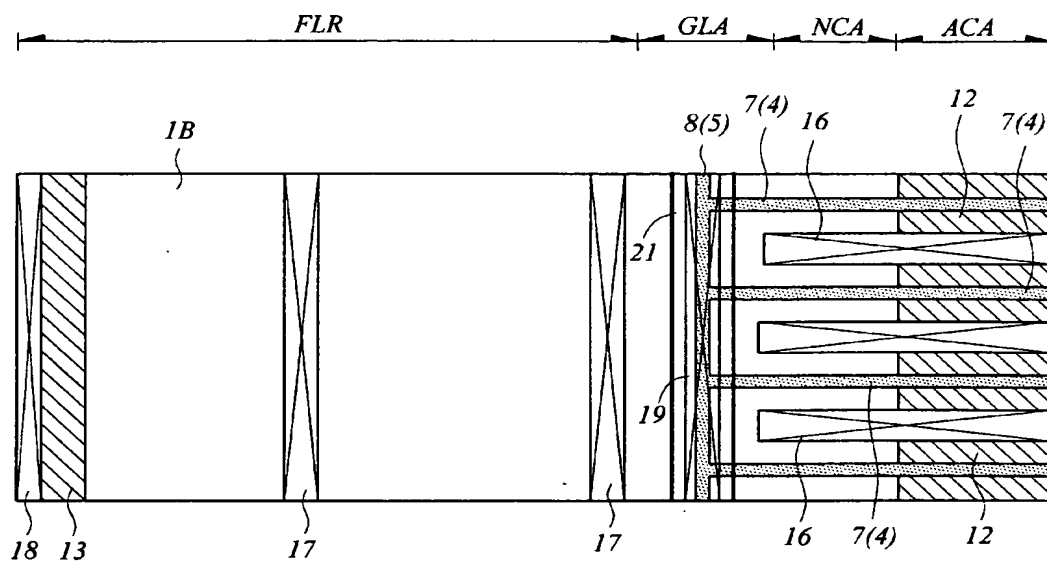


【図 24】



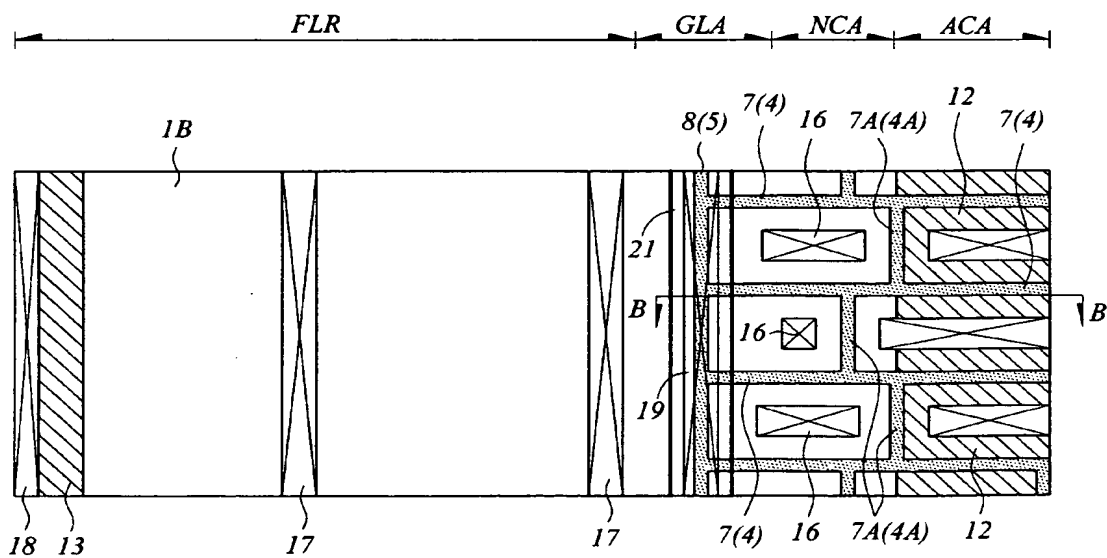
【図 25】

図 25



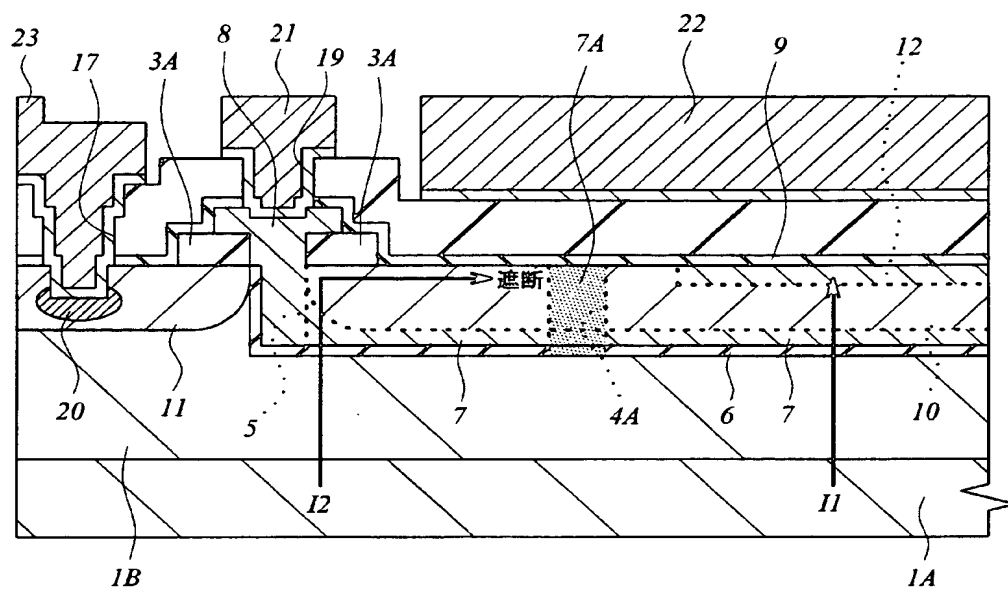
【図 26】

図 26



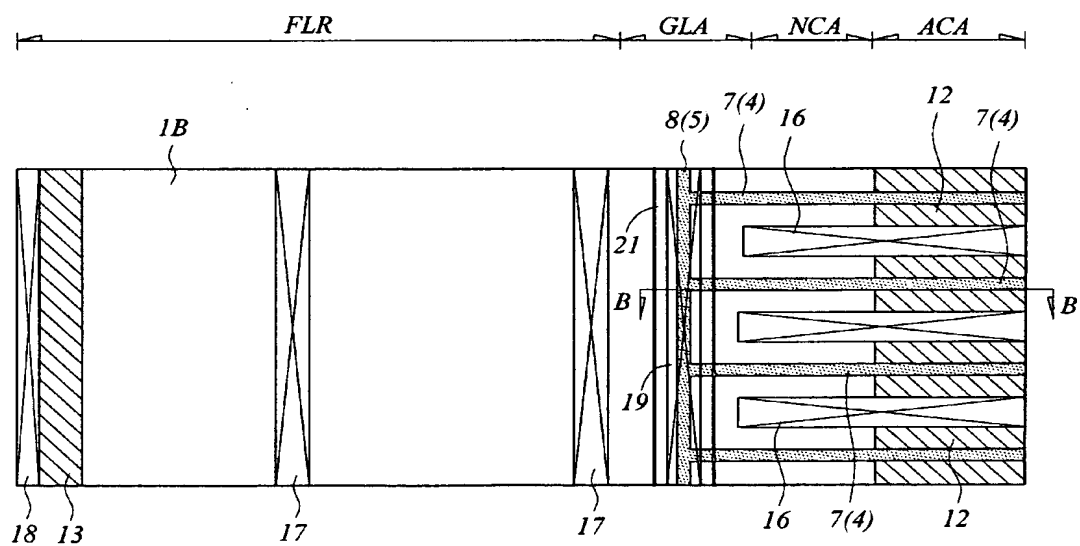
【図 27】

図 27



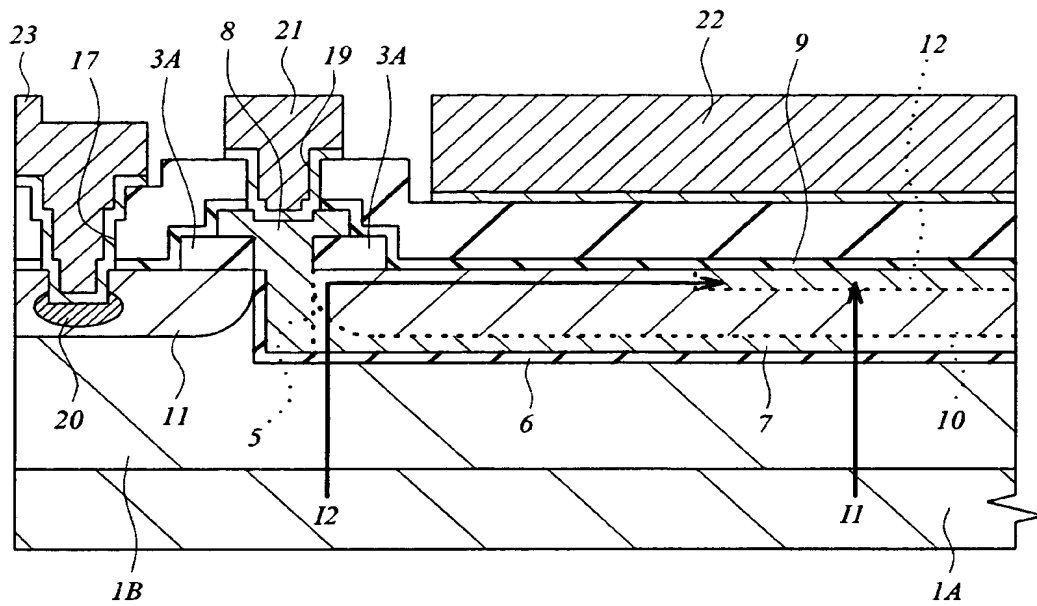
【図 28】

図 28



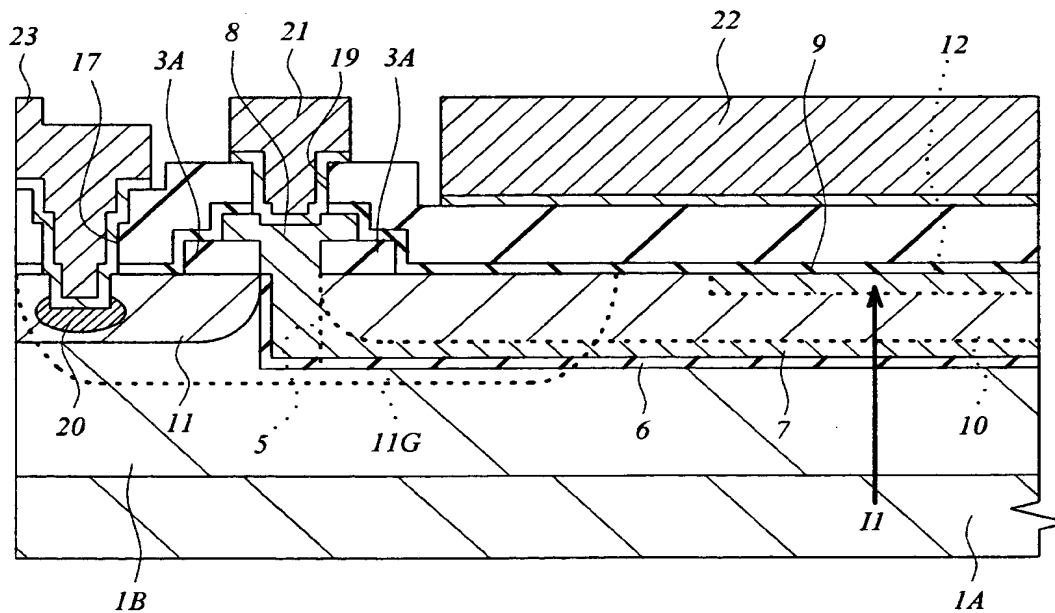
【図 29】

29



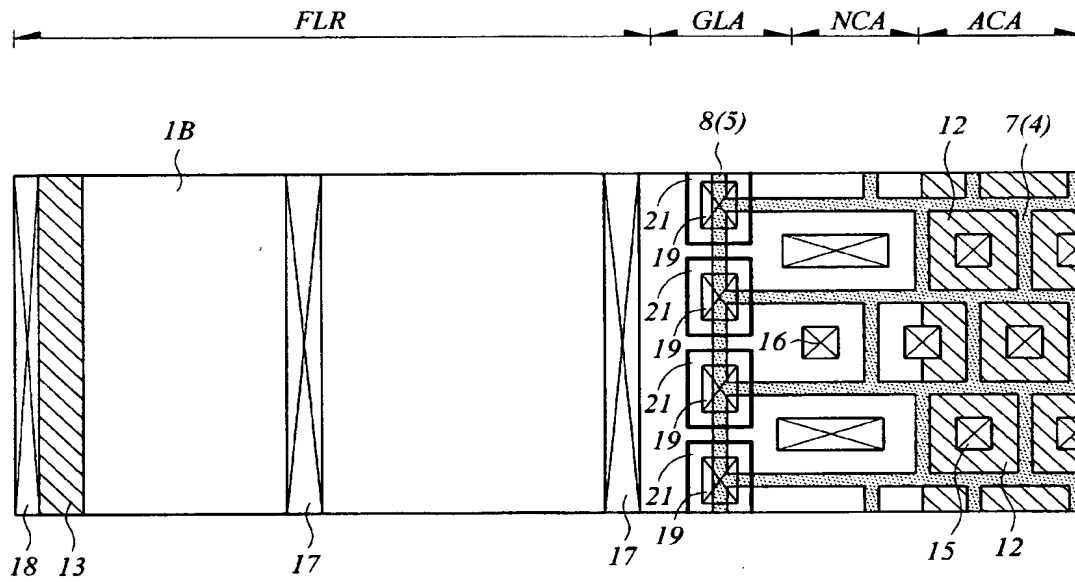
【図 30】

30



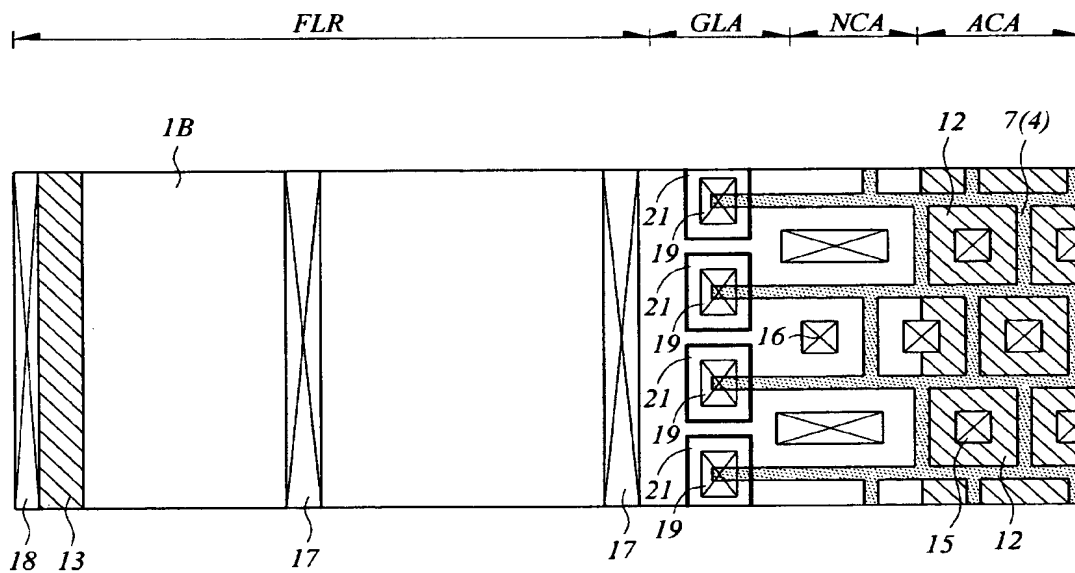
【図 3 1】

図 31



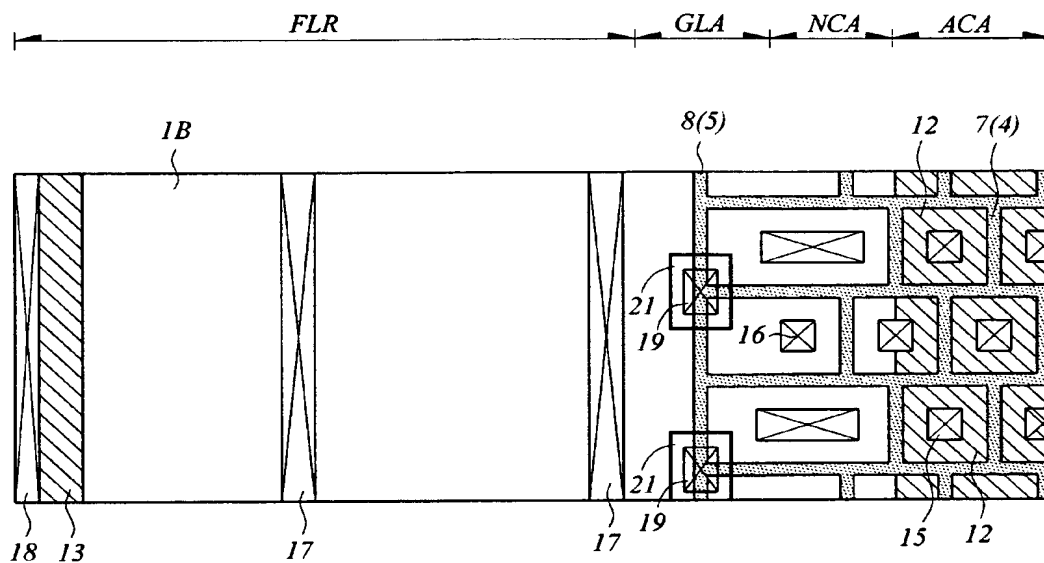
【図 3 2】

図 32



【図 33】

図 33



【書類名】 要約書

【要約】

【課題】 製造工程数を増加することなくトレンチゲート型パワーMISFETの高耐圧化を実現する。

【解決手段】 同一の不純物イオン導入工程にて、ゲート配線領域GLAでp-型半導体領域10およびp-型フィールドリミッティングリング11をゲート引き出し電極8の形成された溝5と接するように一括して、形成する。その際、ゲート引き出し電極8のうち溝5の外部に配置された部分の幅をCHSPとし、n-型単結晶シリコン層1Bの抵抗率を $\rho$  ( $\Omega \cdot \text{cm}$ ) とすると、 $\text{CHSP} \leq 3.80 + 0.148\rho$  となるようにそのCHSPを設定する。

【選択図】 図9



特願 2 0 0 3 - 1 8 3 1 5 3

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ